

# Защита от ESD с помощью высоковольтных транзисторов

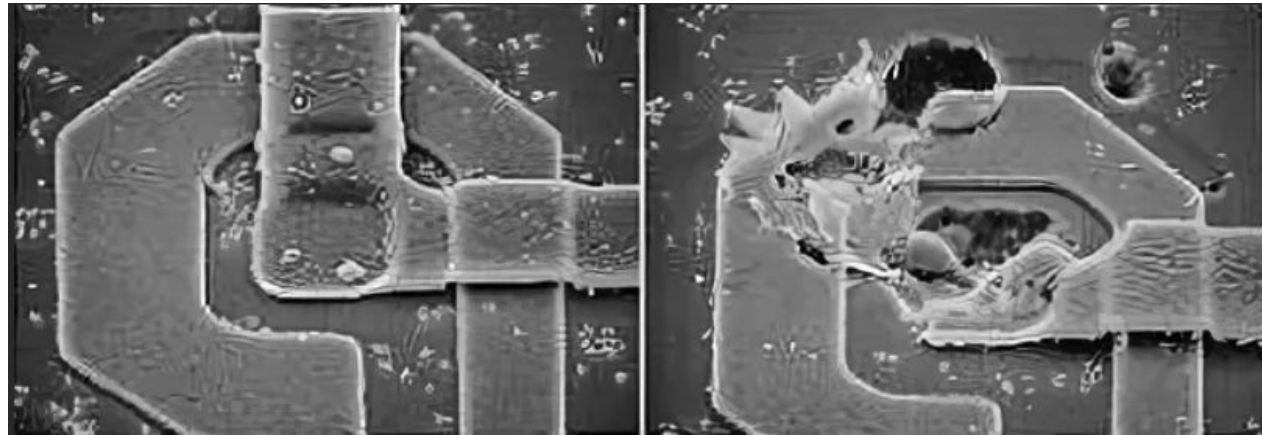
Воронежский государственный университет

# Актуальность

- Вследствие уменьшения размеров современные интегральные схемы становятся все более восприимчивыми к различным внешним факторам, в том числе к электростатическим разрядам. Именно по этому особое внимание при их проектировании уделяется защите от ESD
- **Цель работы:** TLP-исследования 40В NMOS транзисторов А и В-типа выполненных по технологии КНИ КМОП 180 нм на TLP-тесте ES620.

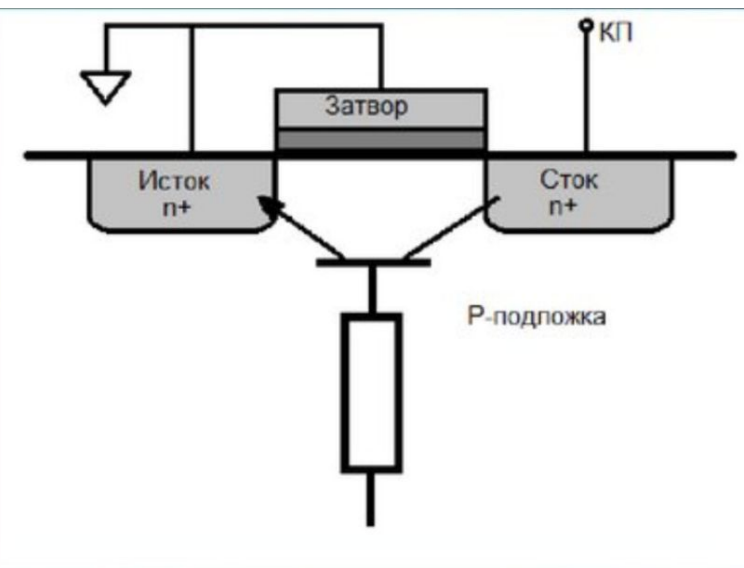
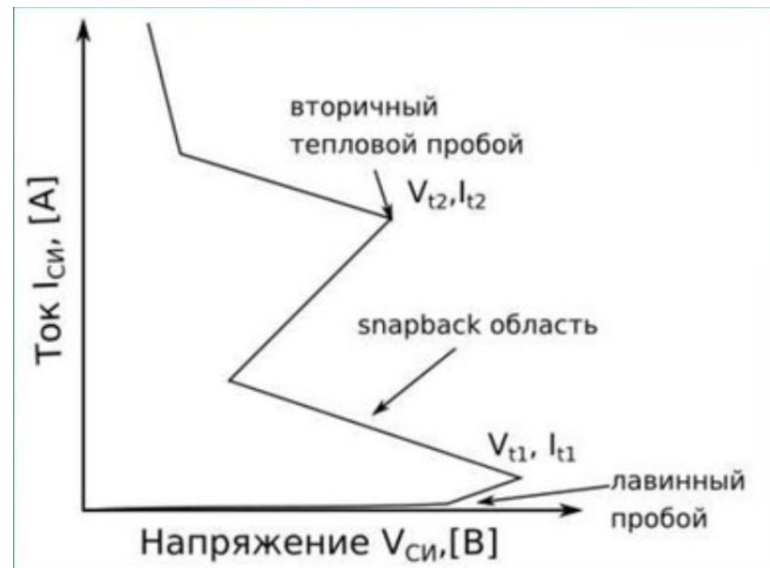
# ESD разряд

- ESD (Electrostatic discharge)— резкий скачок напряжения, вызванный соприкасающимися или находящимися в непосредственной близости заряженными объектами. Он возникает вследствие трибоэлектрического эффекта, т. е. перехода электронов с поверхности одного тела на поверхность другого в результате трения. Чаще всего причиной воздействия ESD на микросхему становится прикосновение человека, переносящего этот заряд.

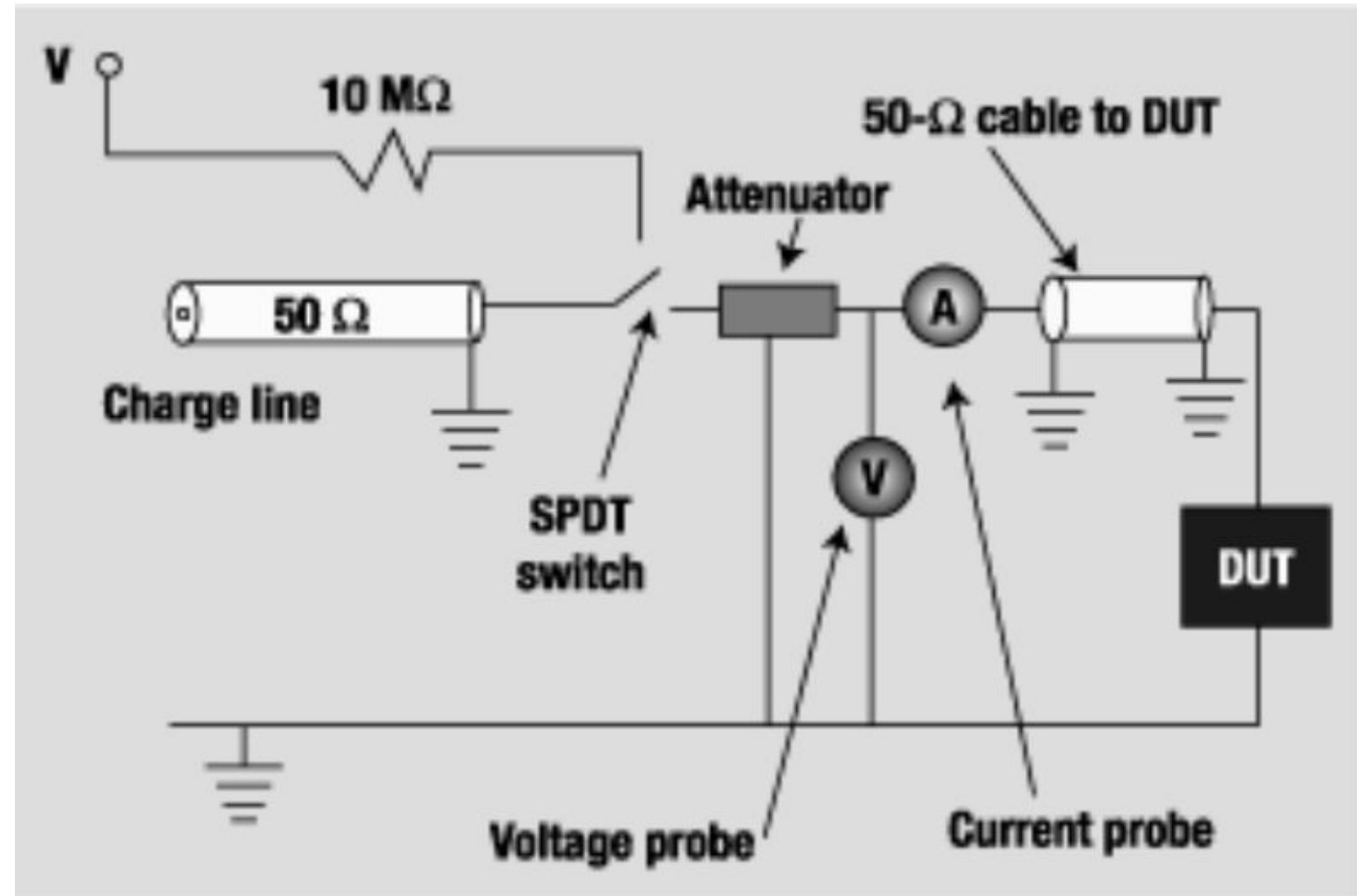


Повреждение микросхемы ESD разрядом

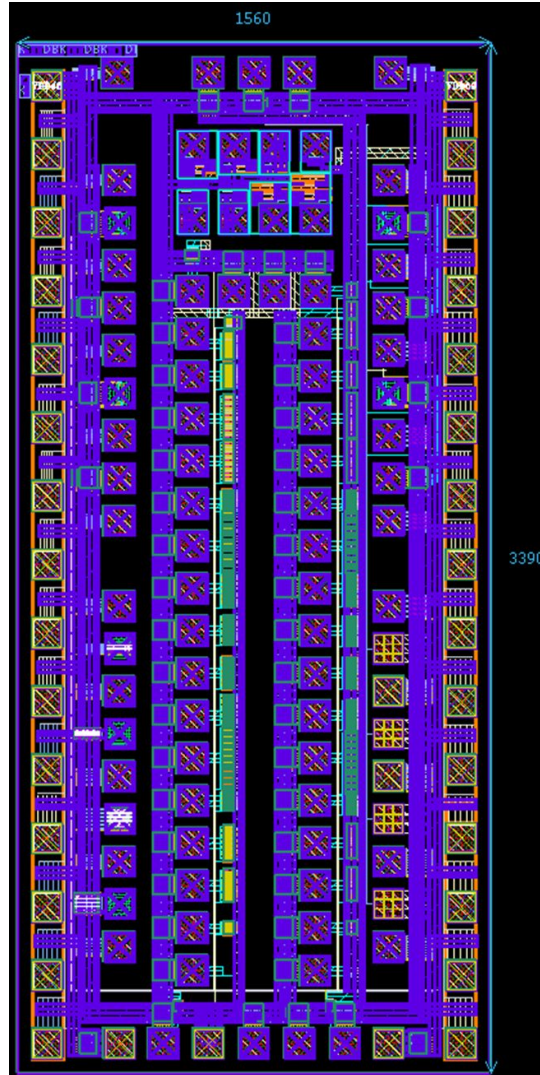
# Snarback- эффект



# TLP тестирование



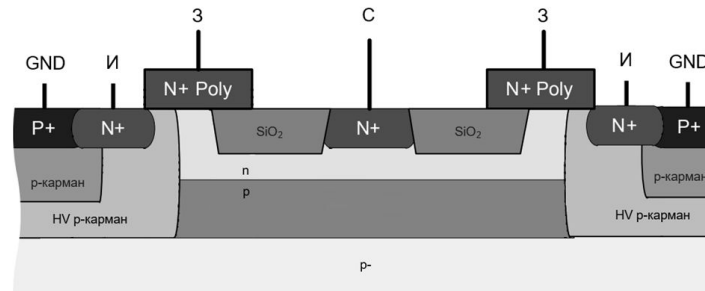
# Тестовый кристалл



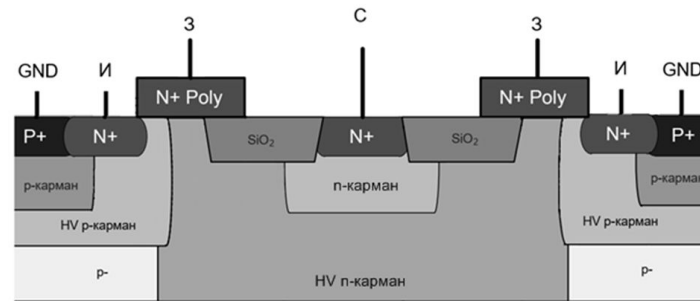
Топология тестового кристалла с исследуемыми тестовыми структурами, выполненного по технологии КНИ КМОП 180нм.

размер кристалла составляет 1.56\*3.39 мм.

# Тестовые структуры



Сечение 40В NMOS транзистора А-типа (по спецификации напряжение пробоя сток-подложка 45 В)



Сечение 40В NMOS транзистора В-типа (по спецификации напряжение пробоя сток-подложка 46 В)

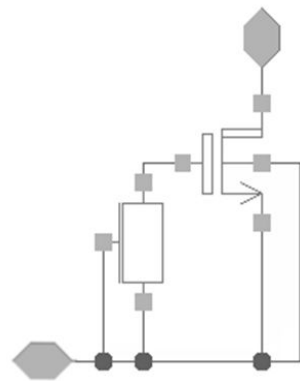


Схема ggMOS транзистора

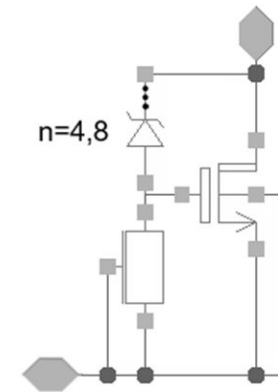
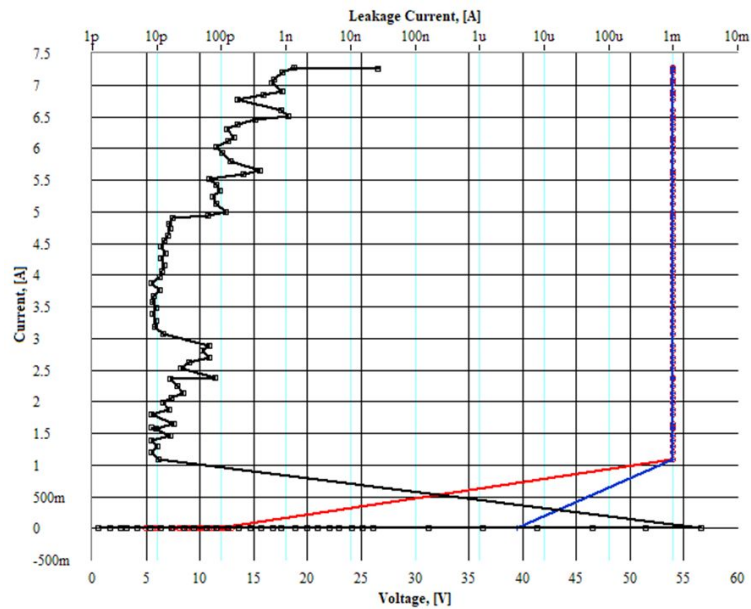


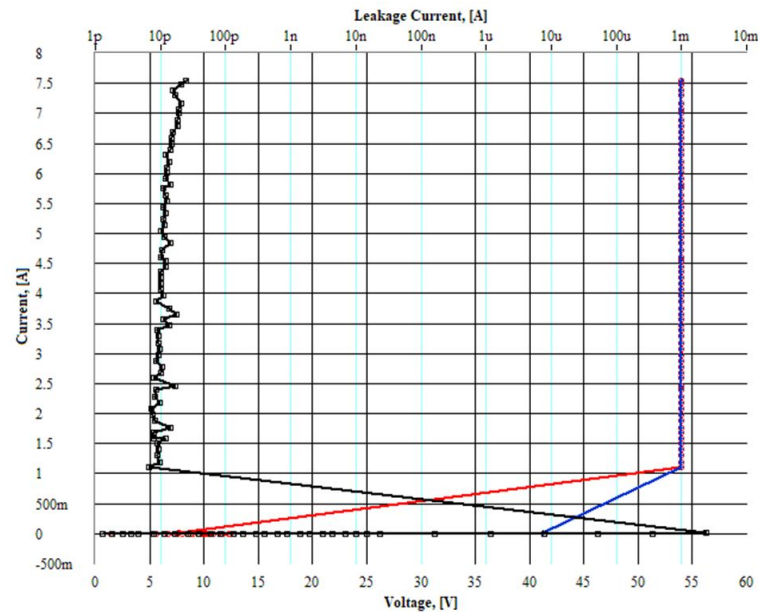
Схема ggMOS с запуском на цепочке из 4 и 8 диодов Зенера

**Результаты TLP-  
исследований 40V  
NMOS  
транзисторов А-  
типа**

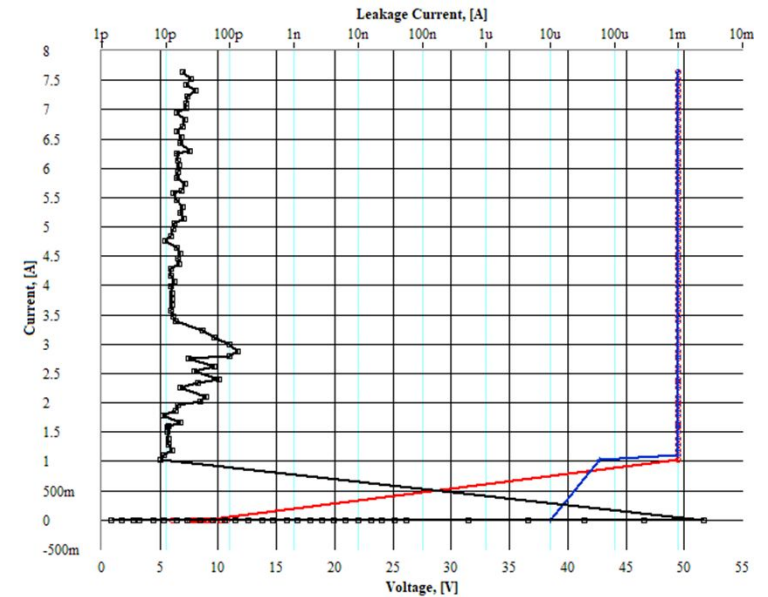




TLP-характеристика 40V NMOS транзисторов А-типа шириной 360 мкм (черный график), утечка при -0.5 В и 5.5 В относительно истока транзистора (синий и красный графики). Напряжение необратимого пробоя  $V_{bd} \sim 57$  В. Величина тока утечки неизвестна, т.к. источник уходит в ограничение по току 1 мА.

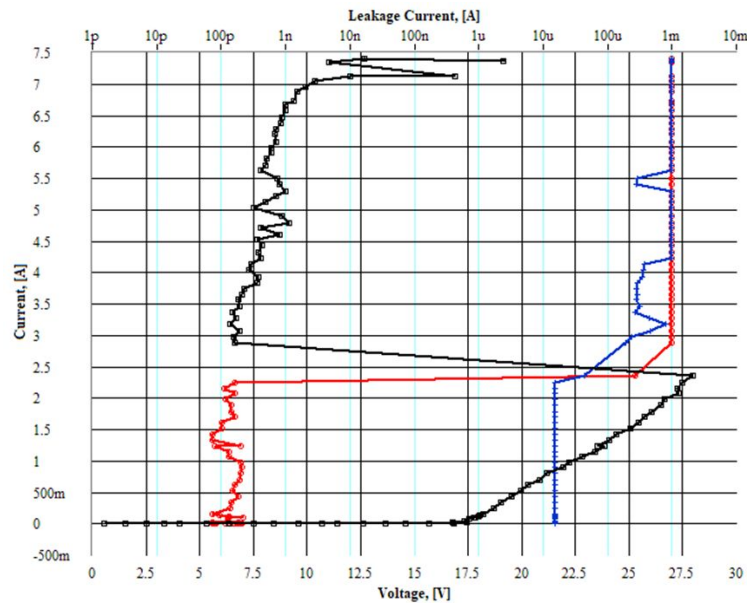


TLP-характеристика 40V NMOS транзисторов А-типа шириной 720 мкм (черный график), утечка при -0.5 В и 5.5 В относительно истока транзистора (синий и красный графики). Напряжение необратимого пробоя  $V_{bd} \sim 57$  В. Величина тока утечки неизвестна, т.к. источник уходит в ограничение по току 1 мА.

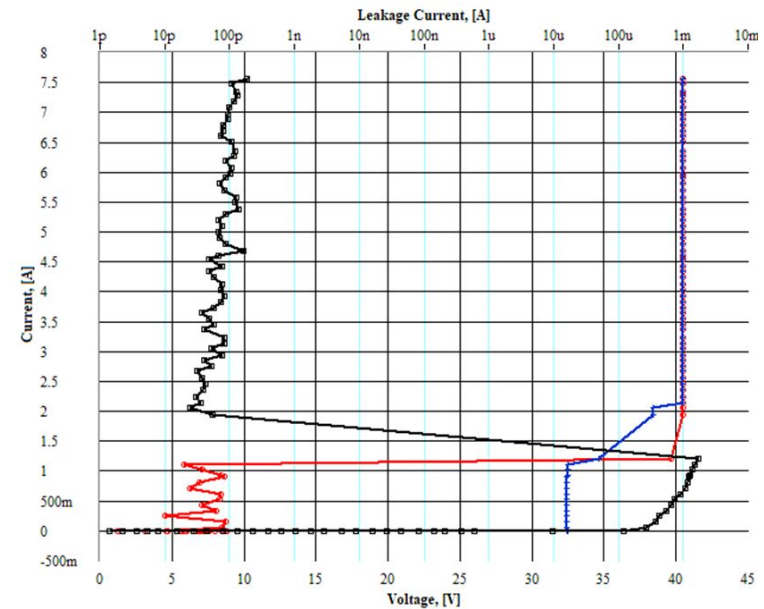


TLP-характеристика 40V NMOS транзисторов А-типа шириной 1080 мкм (черный график), утечка при -0.5 В и 5.5 В относительно истока транзистора (синий и красный графики). Напряжение необратимого пробоя  $V_{bd} \sim 52$  В. Величина тока утечки неизвестна, т.к. источник уходит в ограничение по току 1 мА.

**Результаты TLP-  
исследований 40V  
NMOS  
транзисторов А-  
типа с запуском  
на цепочке  
диодов Зенера**

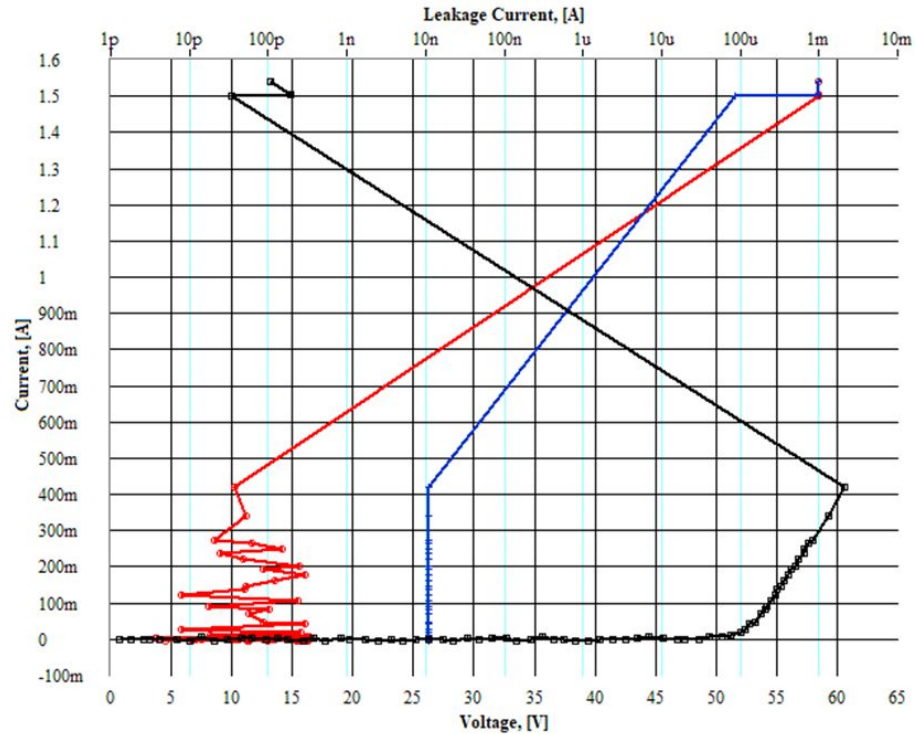


TLP-характеристика 40V NMOS транзисторов А-типа шириной 1800 мкм с запуском на цепочке из 4х диодов Зенера (черный график), утечка при -0.5 В и 5.5 В относительно истока транзистора (синий и красный графики).  
 Напряжение срабатывания ~ 17.5 В.  
 Необратимый пробой при  $V_{bd} \sim 28$  В.

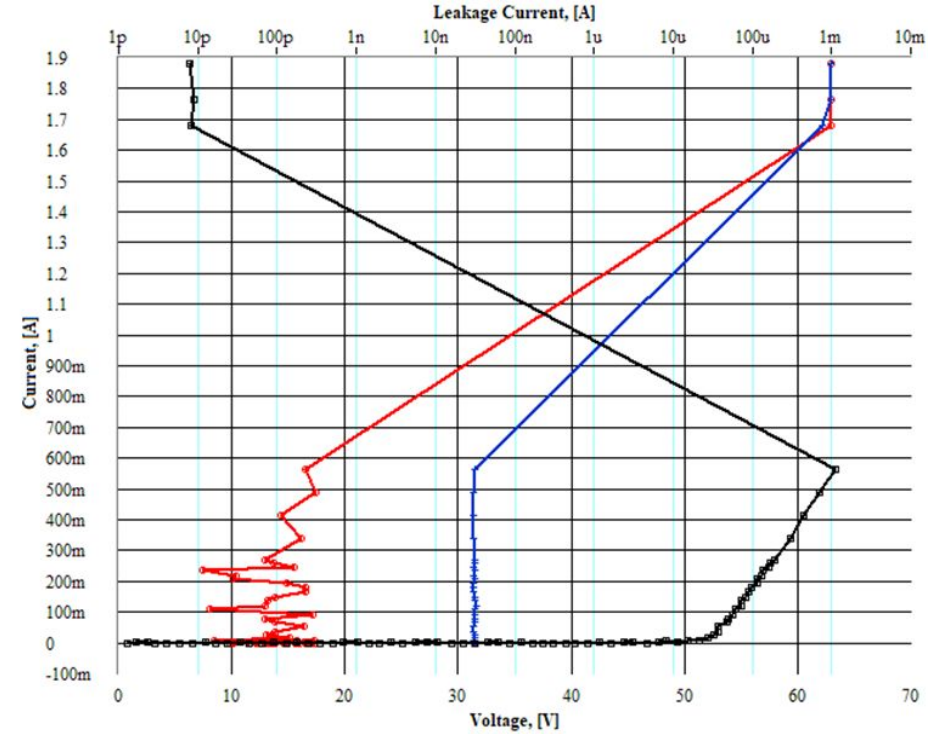


TLP-характеристика 40V NMOS транзисторов А-типа шириной 1800 мкм с запуском на цепочке из 8и диодов Зенера (черный график), утечка при -0.5 В и 5.5 В относительно истока транзистора (синий и красный графики). Напряжение срабатывания ~ 36 В.  
 Необратимый пробой при  $V_{bd} \sim 42$  В.

**Результаты Т  
LP-  
исследований  
40V NMOS  
транзисторы  
В-типа**



TLP-характеристика 40V NMOS транзисторов В-типа шириной 1200 мкм и длиной канала 0.55 мкм (черный график), утечка при -0.5 В и 5.5 В относительно истока транзистора (синий и красный графики). Напряжение срабатывания ~ 52 В. Необратимый пробой при  $V_{bd} \sim 60.5$  В. Сопротивление в открытом состоянии  $R_{on} \sim 19$  Ом.



TLP-характеристика 40V NMOS транзисторов В-типа шириной 1200 мкм (черный график) и длиной канала 1 мкм, утечка при -0.5 В и 5.5 В относительно истока транзистора (синий и красный графики). Напряжение срабатывания ~ 52 В. Необратимый пробой при  $V_{bd} \sim 62$  В. Сопротивление в открытом состоянии  $R_{on} \sim 19$  Ом.

# Выводы

- Установлено, что 40V NMOS транзисторы А-типа не могут использоваться как устройства защиты от ESD в режиме пробоя из-за необратимого пробоя при напряжении 52-57В. Анализ конструкции транзистора показал, что наиболее вероятной причиной крайне низкого уровня стойкости к ESD является низкое сопротивление n-области стока в режиме пробоя, что приводит к шнурованию тока.
- Показана возможность использоваться 40V NMOS транзисторов А-типа в качестве устройств защиты от ESD при использовании запускающих цепочек. Обнаружено, что напряжения пробоя диода Зенера в технологии КНИ КМОП 180 составляет 4.4-4.5 В вместо 5.5 В, как указано фабрикой.
- Показано, что ширина ключа транзистора определяет уровень стойкости к ESD, по мере увеличения напряжения срабатывания ширина транзистора должна быть пропорционально увеличена для обеспечения такого же уровня стойкости. При увеличении количества диодов в запускающей цепочки с 4 до 8 напряжения срабатывания структуры увеличилось с 17.5 до 36 В, при уменьшении тока теплового пробоя с 2.4 до 1.2 А.
- Выявлено, что 40V NMOS транзисторы В-типа при ESD-стрессе не переходят в режим snap-back из-за низкого сопротивления подложки после пробоя при 52 В тока разряда протекает через диод HV n-карман – HV p-карман. Определен максимально допустимый удельный ток теплового пробоя 0.33 мА/мкм, что можно использовать при разработке устройств защиты от ESD на данных транзисторах.
- Запускающие цепочки могут применяться к разным типам высоковольтных устройств для нахождения компромиссов между уровнем стойкости и занимаемой площадью устройств защиты от ESD, а также позволяют использовать их в качестве защиты от статического превышения напряжения.