

**ВОЕННАЯ АКАДЕМИЯ ВОЗДУШНО-КОСМИЧЕСКОЙ ОБОРОНЫ
ИМЕНИ МАРШАЛА СОВЕТСКОГО СОЮЗА Г.К. ЖУКОВА**

**Кафедра № 13
основ построения радиоэлектронных средств и систем**

Учебная дисциплина Д-1321

**«ЦИФРОВЫЕ УСТРОЙСТВА И
МИКРОПРОЦЕССОРЫ»**

Тверь 2018

СТРУКТУРА УЧЕБНОЙ ДИСЦИПЛИНЫ ДС-1321

Номера и наименование разделов и тем	Всего часов	Из них по видам занятий			
		Лекции	Лаб.раб.	Пр.зан.	Зачет
5 семестр					
Введение	2	2			
Тема 1. Основы схемотехники и элементная база комбинационных цифровых электронных устройств	14	6	4	4	
Тема 2. Основы схемотехники и элементная база последовательностных цифровых электронных устройств	24	10	8	6	
Тема 3. Аналого-цифровые и цифро-аналоговые преобразователи	10	4	4	2	
Тема 4. Запоминающие устройства ЭВМ и МПС	8	4	2	2	
Тема 5. Микропроцессоры и микропроцессорные системы	26	16		10	
Заключение	2	2			
Зачет с оценкой в конце 5-го семестра	4				4
Всего по дисциплине	90	44	18	24	4

Содержание темы 1

«Основы схемотехники и элементная база

комбинационных цифровых электронных устройств»

Номера и вид занятий	Наименование тем занятий
Лекция № 2	Математическое описание комбинационных цифровых устройств
Пр.занятие №1	Анализ и синтез комбинационных цифровых устройств
Лекция №3	Основы схемотехники и элементная база типовых комбинационных цифровых электронных устройств
Пр.занятие №2	Анализ и расчет типовых комбинационных цифровых узлов ЭВМ.
Лаб. работа №1	Экспериментальное исследование типовых комбинационных цифровых электронных узлов радиотехнических систем и ЭВМ

ЛЕКЦИЯ №3

**Основы схемотехники и
элементная база типовых
комбинационных цифровых
электронных устройств**

ФОРМИРУЕМАЯ КОМПЕТЕНЦИЯ

Способность учитывать в профессиональной деятельности современные тенденции развития электроники, измерительной и вычислительной техники (ОПК-6).



ПЛАНИРУЕМЫЕ РЕЗУЛЬТАТЫ ОБУЧЕНИЯ

ЗНАТЬ:

основы схемотехники и элементную базу цифровых электронных устройств, архитектуру, условия и способы использования микропроцессоров и микропроцессорных систем в электронных устройствах.



УЧЕБНАЯ ЦЕЛЬ ЛЕКЦИИ

Систематизировать основы научных знаний по основам схемотехники и элементной базе комбинационных цифровых устройств.

УЧЕБНЫЕ ВОПРОСЫ ЛЕКЦИИ

- 1. Шифраторы и дешифраторы.**
- 2. Мультиплексоры и демультимплексоры.**
- 3. Сумматоры и арифметико-логические устройства.**
- 4. Схемы контроля четности.**
- 5. Методы расчета типовых комбинационных цифровых устройств.**

ЛИТЕРАТУР

А

1. Цифровые устройства и микропроцессоры [Электронный ресурс]: Учебное пособие / Е. Н. Жидков и [др.]. – Тверь: ВА ВКО, 2016. URL: <http://ibook.akademy.org/book/46>.

(ЭЛ.1/о м. 2.2.)

2. Цифровые устройства и микропроцессоры. Учебно-методическое пособие./ Е.Н.Жидков, [и др.]. – Тверь: ВА ВКО., 2019 – 168с.

(Л.1/д с.24-44)

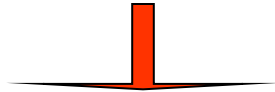
3. Цифровые устройства: Учеб.пособие для вузов/ Ю.А. Брамер, И.Н.Пащук.-М.:Высш.шк., 2004.

(Л.2/д с.44-55, 96-108).

1. Шифраторы и дешифраторы

Структура первого вопроса

Назначение



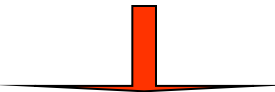
ТИ и аналитические выражения БФ



УГО



Принципиальная схема



Выводы по вопросу

1.1. Дешифраторы

Дешифратор – комбинационная схема, предназначенная для преобразования двоичного кода в унитарный код.

Унитарный (распределительный) код – код каждая комбинация которого содержит только одну единицу. Унитарный код характеризуется свойством

$$h_i = i,$$

где i – номер разряда кода;

Если дешифратор, с n входами, имеет 2^n выходов его называют полным, если нет – неполным.

Полный дешифратор 2x4

УГО:

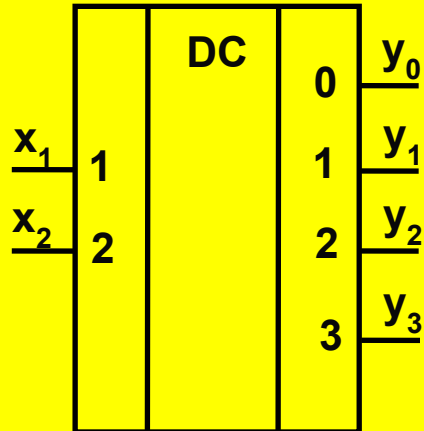


Таблица истинности:

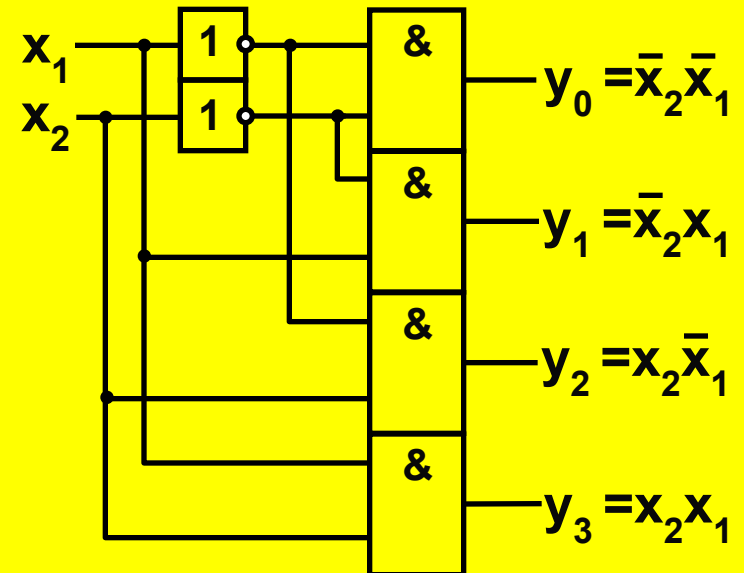
N	x_2	x_1	y_3	y_2	y_1	y_0
0	0	0	0	0	0	1
1	0	1	0	0	1	0
2	1	0	0	1	0	0
3	1	1	1	0	0	0

Аналитические выражения реализуемых БФ:

$$\left. \begin{aligned} y_0 &= \bar{x}_2 \bar{x}_1; \\ y_1 &= \bar{x}_2 x_1; \\ y_2 &= x_2 \bar{x}_1; \\ y_3 &= x_2 x_1. \end{aligned} \right\}$$

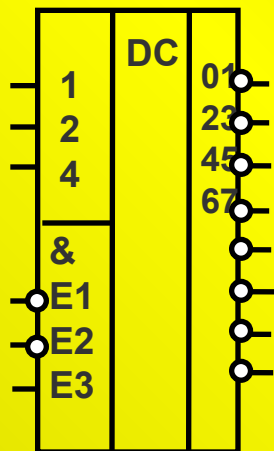


Принципиальная схема:



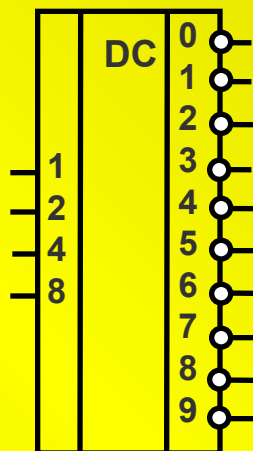
Условные графические обозначения интегральных микросхем дешифраторов

533ИД7



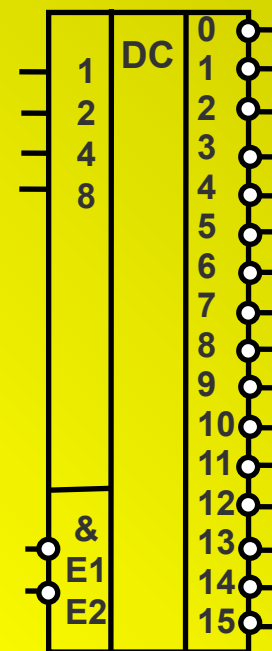
Полный дешифратор 3x8. При $E1=E2=0$ и $E=1$ работает как дешифратор. В остальных случаях на всех выходах «1».

555ИД6



Двоично-десятичный дешифратор, преобразующий четырехразрядный двоично-десятичный код в десятиразрядный унитарный.

133ИДЗ

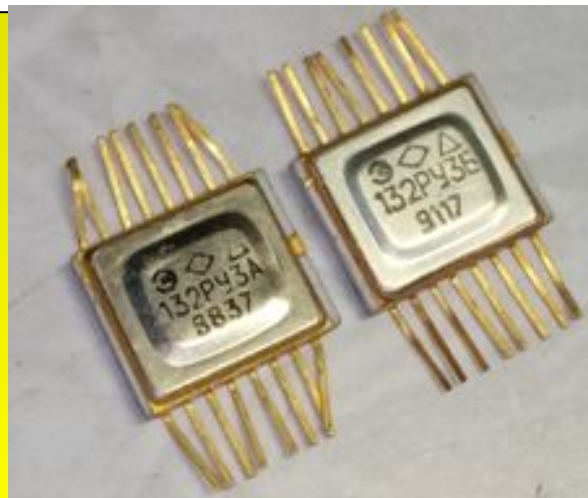
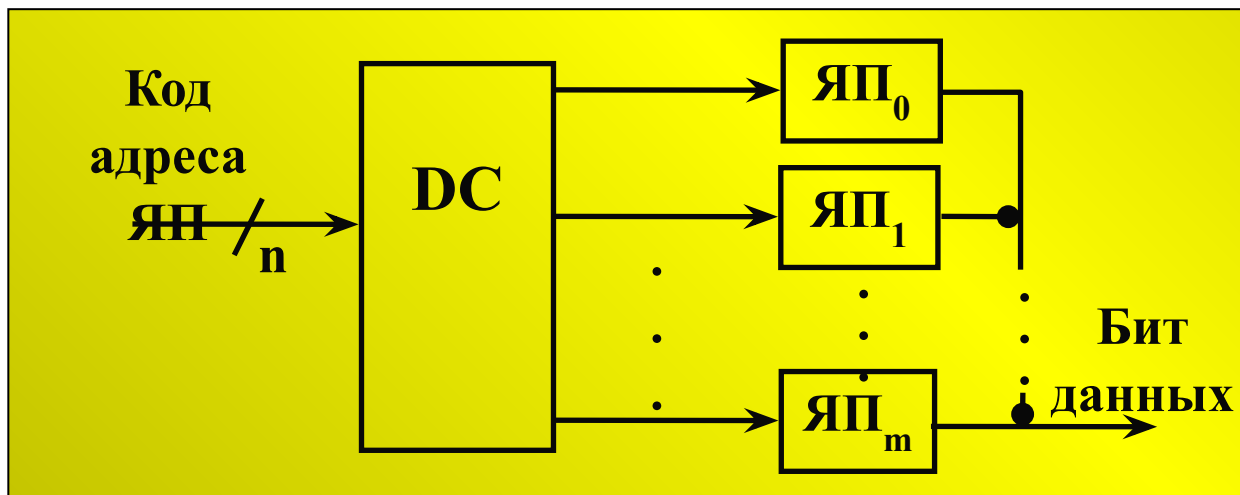


Полный дешифратор 4x16. При $E1=E2=0$ работает как дешифратор.

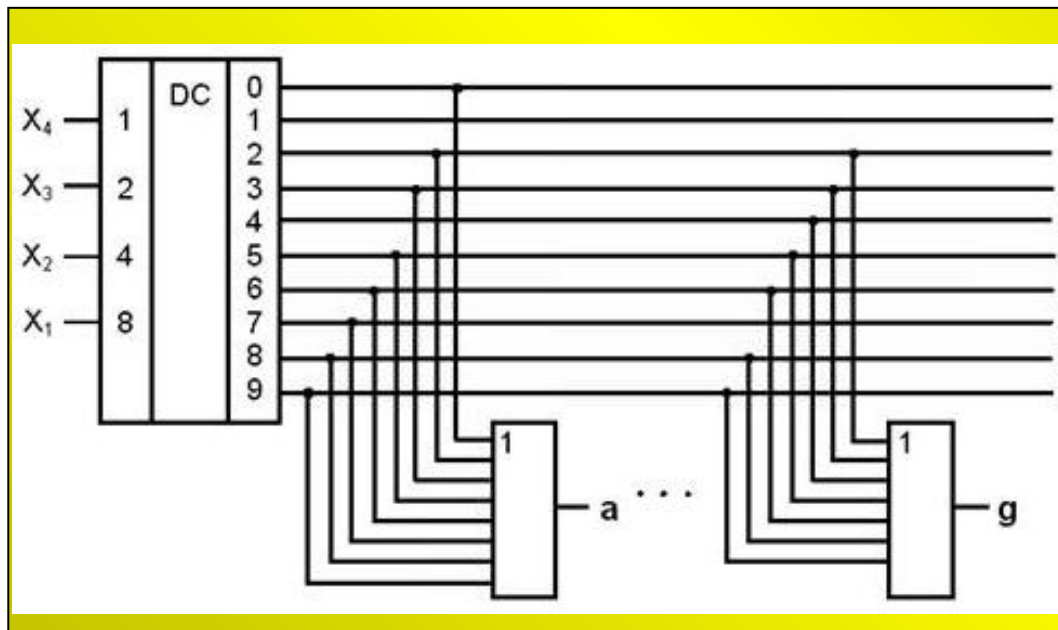
На выходах всех ИС формируется инверсный унитарный код, каждая комбинация которого содержит один «0».

Примеры применения ИМС дешифраторов

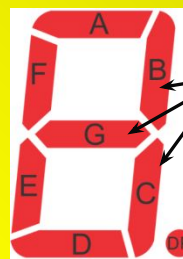
Выбор ячейки памяти в адресном ЗУ



Управление семисегментным индикатором



Семисегментный индикатор



Сегменты

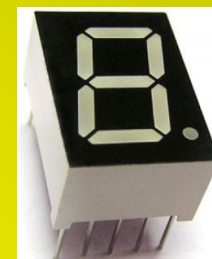
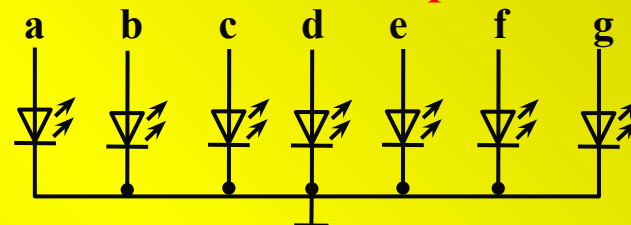


Схема индикатора с ОК



Конструктивное исполнение интегральных микросхем дешифраторов



Корпус 238.16-2
2 – тип корпуса;
38 – подтип;
16 – количество выводов;
2 – регистрационный номер.



Корпус 239.24-1
2 – тип корпуса;
39 – подтип;
24 – количество выводов;
1 – регистрационный номер.

1.2. Шифраторы

Шифратором называется комбинационная схема, предназначенная для преобразования унитарного кода в двоичный.

Шифратор 4x2

УГО:

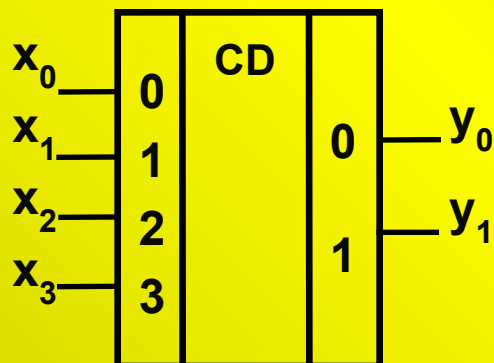


Таблица истинности:

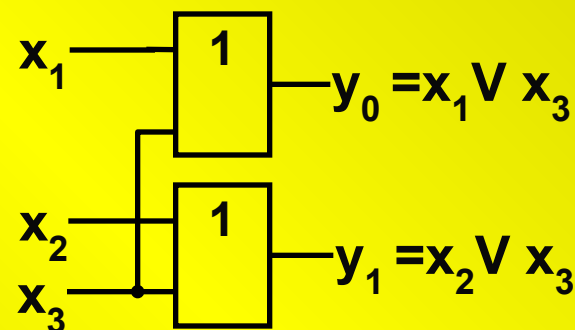
N	x ₃	x ₂	x ₁	x ₀	y ₁	y ₀
0	0	0	0	1	0	0
1	0	0	1	0	0	1
2	0	1	0	0	1	0
3	1	0	0	0	1	1

МДНФ реализуемых БФ:

$$\left. \begin{aligned} y_0 &= x_1 \vee x_3; \\ y_1 &= x_2 \vee x_3; \end{aligned} \right\}$$



Принципиальная схема:



Приоритетные шифраторы

В приоритетных шифраторах если $x_i = 1$ и для всех $j > i$ выполняется условие $x_j = 0$, то при любых значениях x_k где $k < i$ на выходах шифратора вырабатывается двоичный код, соответствующий числу i .

Приоритетный шифратор 4x2

УГО:

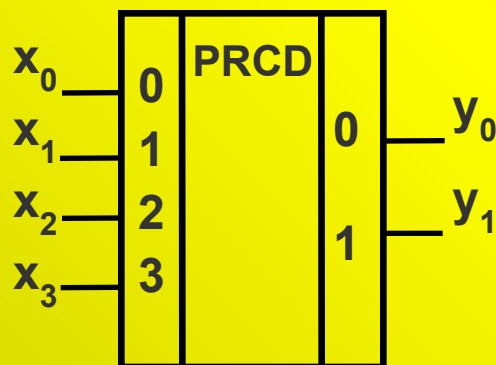


Таблица истинности:

x_3	x_2	x_1	x_0	y_1	y_0
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	x	0	1
0	1	x	x	1	0
1	x	x	x	1	1

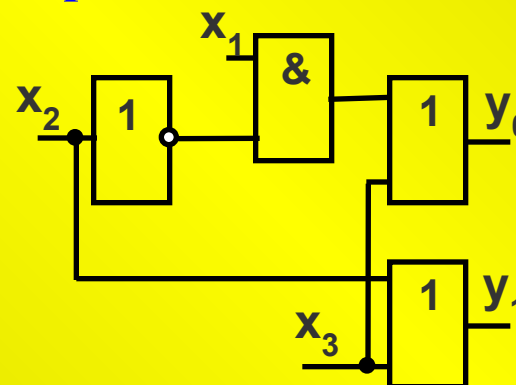
МДНФ реализуемых БФ:

$$y_0 = x_1 \overline{x_2} \vee x_3$$

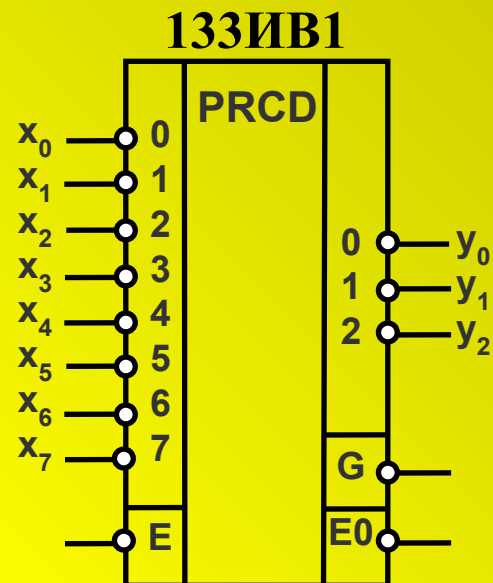
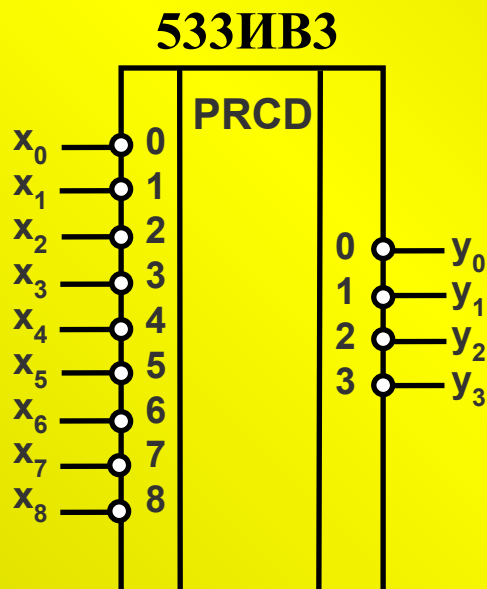
$$y_1 = x_2 \vee x_3$$



Принципиальная схема:



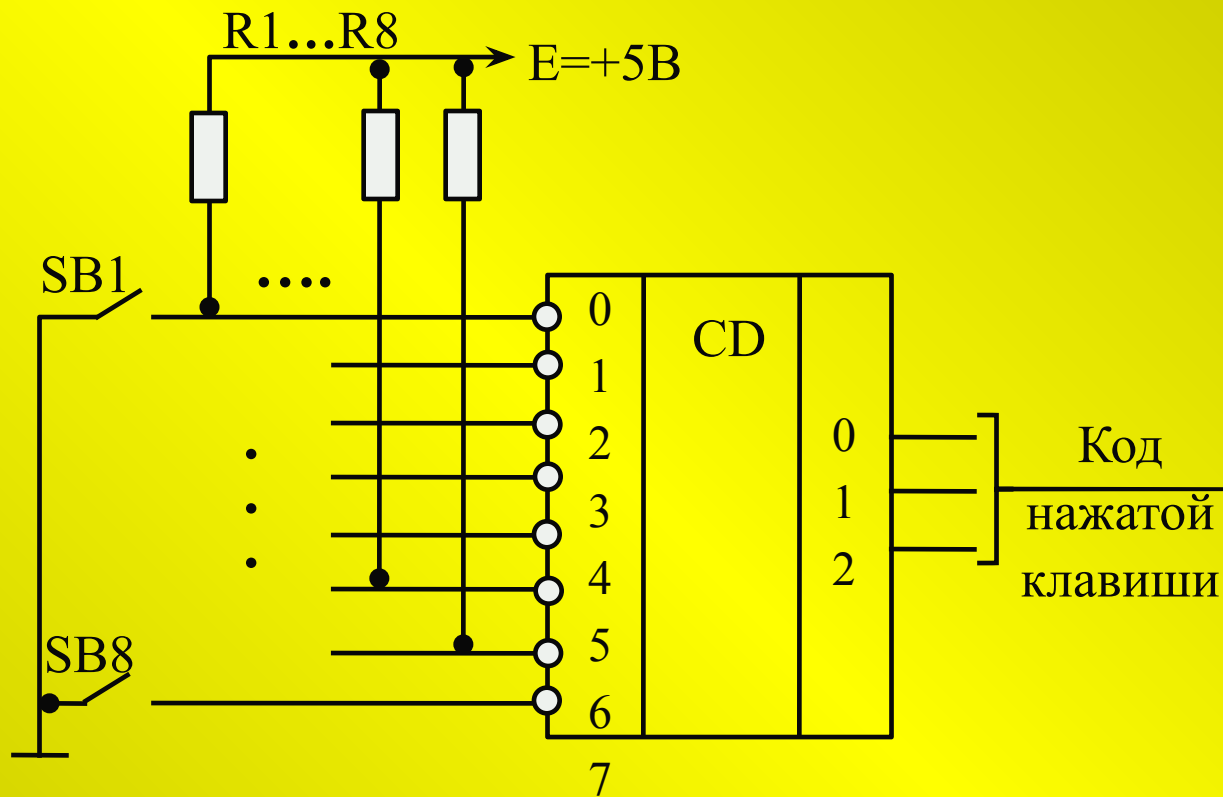
Условные графические обозначения интегральных микросхем приоритетных шифраторов



При единицах на всех входах ИС, на всех выходах единицы, а при наличии нуля на i -м входе и единиц на входах с более высоким приоритетом, на выходах вырабатывается двоичный код, обратный числу i .

При наличии сигнала $E=0$ работает аналогично. Если $E=1$, на всех выходах ИС единица, независимо от сигналов на других входах. Выходы G и $E0$ используются при наращивании разрядности шифратора путем объединения ИС.

Пример применения ИМС шифратора для организации простейшей клавиатуры



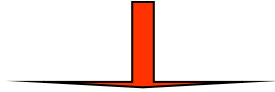
Выводы по вопросу

Дешифраторы преобразуют двоичный код в унитарный, а шифраторы преобразуют унитарный код в двоичный, т.е. выполняют функцию, обратную дешифраторам. Шифраторы и дешифраторы являются особыми разновидностями преобразователей кодов.

2. Мультиплексоры и демультимплексоры

Структура второго вопроса

Назначение



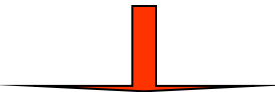
ТИ и аналитические выражения БФ



Условные графические обозначения



Принципиальные схемы



Выводы по вопросу

2.1. Мультиплексоры

Мультиплексор предназначен для коммутации данных, поступающих по одному из нескольким входных каналов в один выходной канал в зависимости от значения управляющего кода.

Четырехканальный одноразрядный мультиплексор

Принцип работы мультиплексора

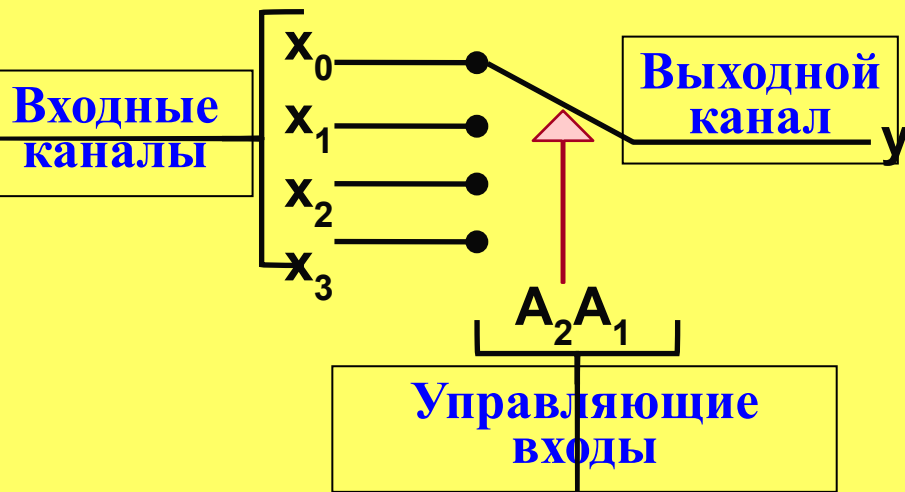
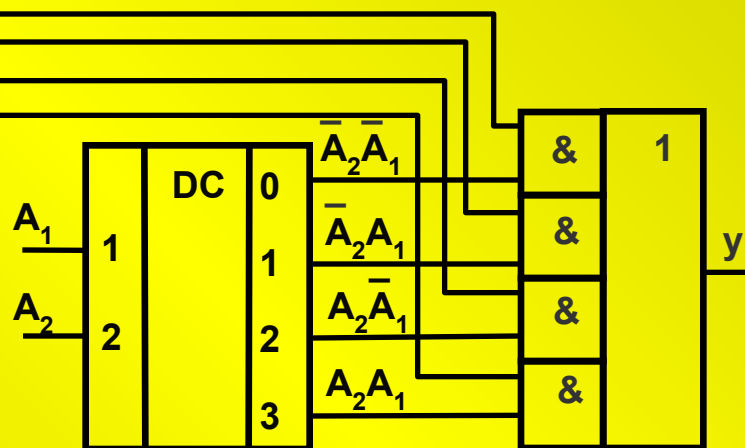


Таблица истинности:

N	A ₂	A ₁	y
0	0	0	x ₀
1	0	1	x ₁
2	1	0	x ₂
3	1	1	x ₃

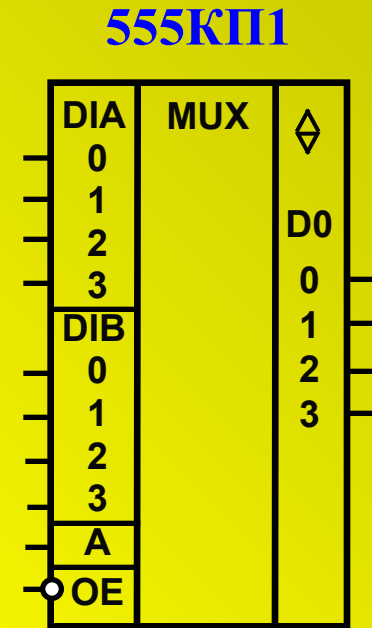
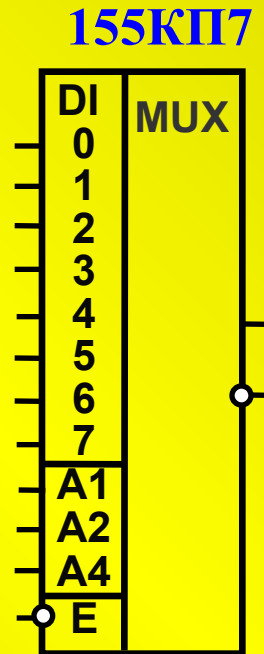
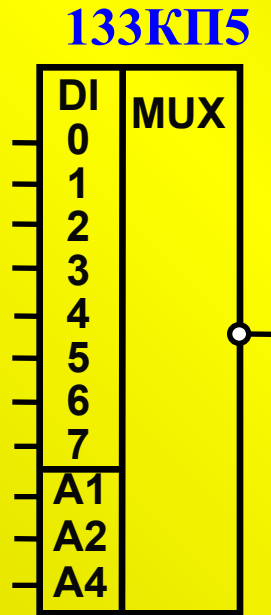
Принципиальная схема:



Аналитическое выражение реализуемой БФ:

$$y = x_0 \overline{A_2} \overline{A_1} \vee x_1 \overline{A_2} A_1 \vee x_2 A_2 \overline{A_1} \vee x_3 A_2 A_1$$

Условные графические обозначения интегральных микросхем мультиплексоров



Восьмиканальный
одноразрядный мульти-
плексор с инверс-
ным выходом.

Имеет прямой и
инверсн. выходы и
разрешающий вход E.
Сигнал E = 0 разреш.
работу мультиплек-
сора. При E=1 все
каналы закрываются.

Двухканальный 4-х
разрядный мульти-
плексор с тремя
состояниями выхода.
OE=0 разреш. Работу
мультиплексора.
OE=1 – ТС выхода.

2.2. Демультимплексоры

Демультимплексор предназначен для коммутации данных, поступающих по одному входному каналу, в один из нескольких выходных каналов в зависимости от значения управляющего кода.

Четырехканальный одноразрядный демультимплексор

УГО :

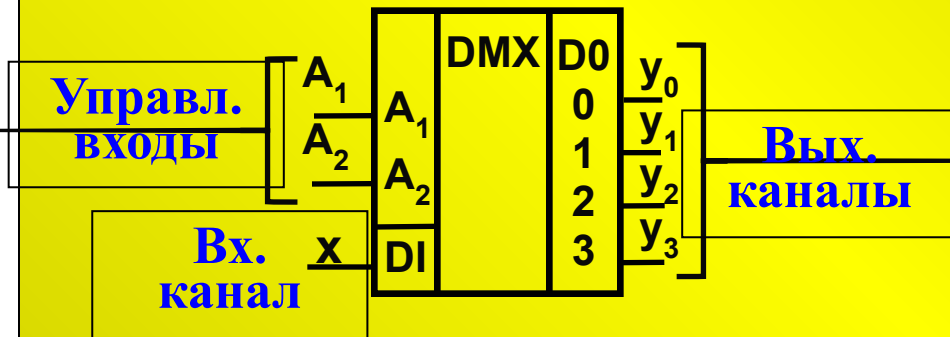


Таблица истинности:

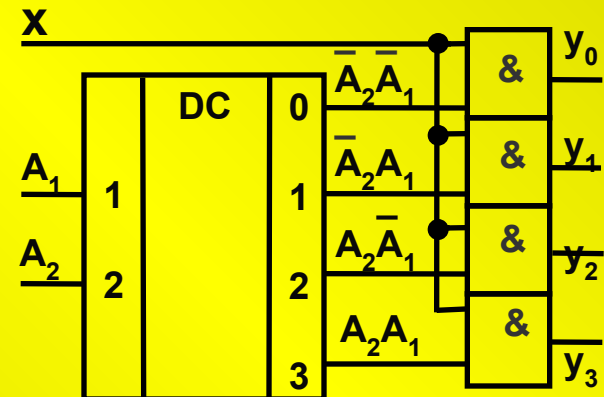
N	A ₂	A ₁	y ₃	y ₂	y ₁	y ₀
0	0	0	0	0	0	x
1	0	1	0	0	x	0
2	1	0	0	x	0	0
3	1	1	x	0	0	0

Аналитические выражения реализуемых БФ:

$$\left. \begin{aligned} y_0 &= \bar{A}_2 \bar{A}_1 x; \\ y_1 &= \bar{A}_2 A_1 x; \\ y_2 &= A_2 \bar{A}_1 x; \\ y_3 &= A_2 A_1 x. \end{aligned} \right\}$$



Принципиальная схема :



Выводы по вопросу

Мультиплексоры коммутируют данные, поступающие по нескольким входным каналам в один выходной канал, а демупльтиплексоры выполняют противополож-ную функцию.

3. Сумматоры и арифметико-логические устройства

Структура третьего вопроса

Назначение



УГО и назначение выводов



Функции, реализуемые на выходах



Наращивание разрядности

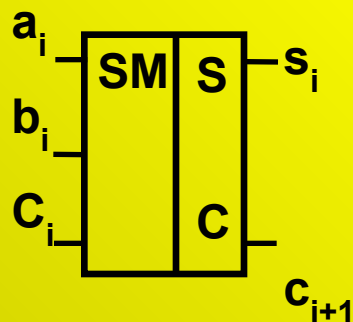


Выводы по вопросу

Сумматор предназначен для арифметического сложения чисел представленных в двоичном коде.

Одноразрядный сумматор выполняет арифметическое сложение одноразрядных двоичных чисел a_i и b_i с учетом переноса c_i из соседнего младшего разряда.

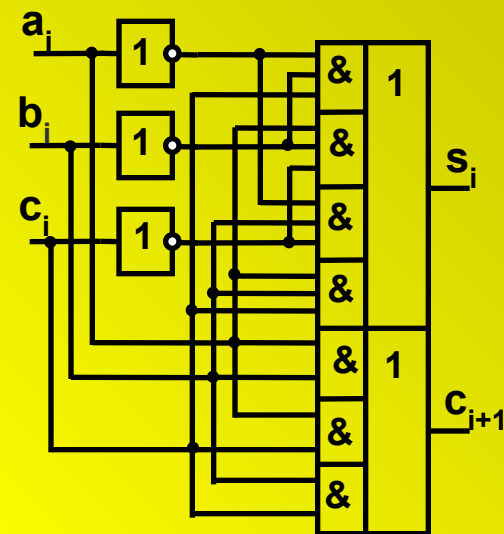
УГО:



ТИ:

a_i	b_i	c_i	s_i	c_{i+1}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Схема:



СДНФ реализуемых БФ:

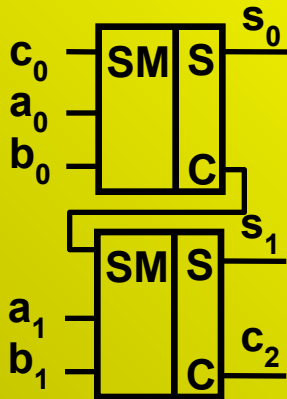
$$\left. \begin{aligned} s_i &= a_i \bar{b}_i \bar{c}_i \vee a_i \bar{b}_i c_i \vee a_i b_i \bar{c}_i \vee a_i b_i c_i \\ c_{i+1} &= \bar{a}_i b_i c_i \vee a_i \bar{b}_i c_i \vee a_i b_i c_i \vee a_i b_i c_i \end{aligned} \right\}$$

МДНФ реализуемых БФ:

$$\left[\begin{aligned} s_i &= \bar{a}_i \bar{b}_i c_i \vee \bar{a}_i b_i \bar{c}_i \vee a_i \bar{b}_i \bar{c}_i \vee a_i b_i c_i \\ c_{i+1} &= a_i b_i \vee a_i c_i \vee b_i c_i \end{aligned} \right]$$

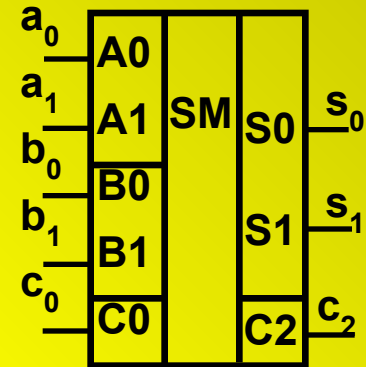
Многоразрядный сумматор с последовательным переносом строится на основе одnorазрядных сумматоров путем соединения их по цепям переноса.

Схема:

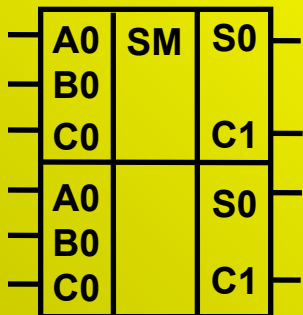


Слагаемые $A = a_i a_0$ и $B = b_i b_0$ подаются на вх. сумматора в *параллельном коде*, т.е. одновременно. На вых. сумматора образуется сумма $s = s_1 s_0$. Сигнал переноса последовательно распространяется от младшего разряда к старшему. На выходе c_2 вырабатывается единица переноса в следующий старший разряд.

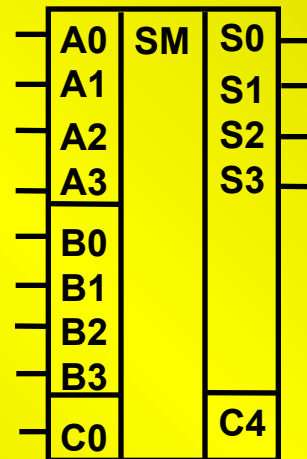
УГО:



Условные графические обозначения ИМС сумматоров



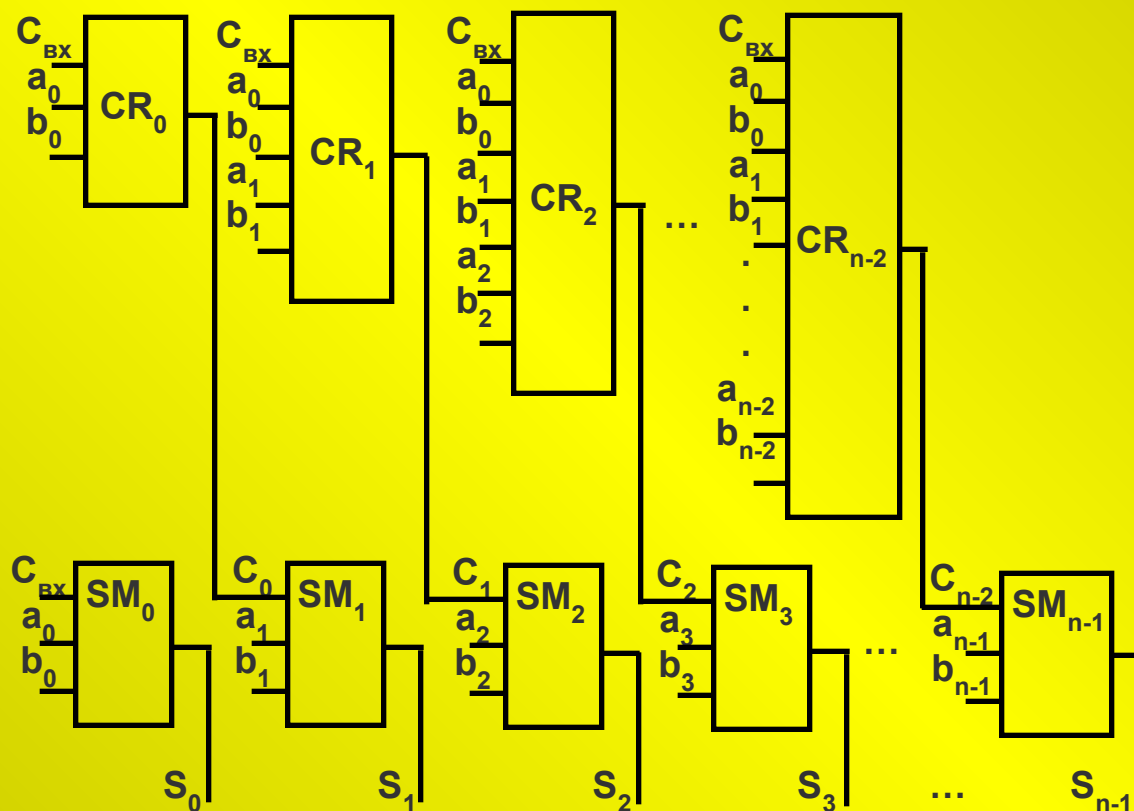
Сумматор 555ИМ5 содержит в одном корпусе два независимых одnorазрядных сумматора.



ИМС 133ИМ3 представляет собой четырехразрядный сумматор с параллельным переносом. Для наращивания разрядности используются выходы $C0$ и $C4$.

В сумматорах с параллельным переносом во всех разрядах резуль-ты суммирования выраб. одновременно с помощью специальных схем CR (carry - перенос), на вх. которых поступают все необходимые переменные (внешний вх. перенос $C_{\text{ВХ}}$ и знач. всех разрядов слагаемых, младш.

Структура сумматора с параллельным переносом



Построение схемы сумматора с параллельным переносом

Функция генерации (g_i) принимает единичное значение, если перенос на выходе данного (i -го) разряда появляется независимо от переноса из младшего разряда

$$g_i = a_i b_i \quad (1)$$

Функция прозрачности (h_i) принимает единичное значение, если перенос на выходе данного (i -го) разряда появляется при наличии переноса из младшего разряда.

$$h_i = b_i \vee a_i \quad (2)$$

Сигнал переноса в произвольном i -м разряде определяется соотношением

$$C_i = g_i \vee h_i C_{i-1} \quad (3)$$

Тогда

$$C_0 = g_0 \vee h_0 C_{\text{ВХ}} \quad (4)$$

$$C_1 = g_1 \vee g_0 h_1 \vee C_{\text{ВХ}} h_0 h_1 \quad (5)$$

$$C_2 = g_2 \vee C_1 h_2 = g_2 \vee g_1 h_2 \vee g_0 h_2 h_1 \vee C_{\text{ВХ}} h_2 h_1 h_0 \quad (6)$$

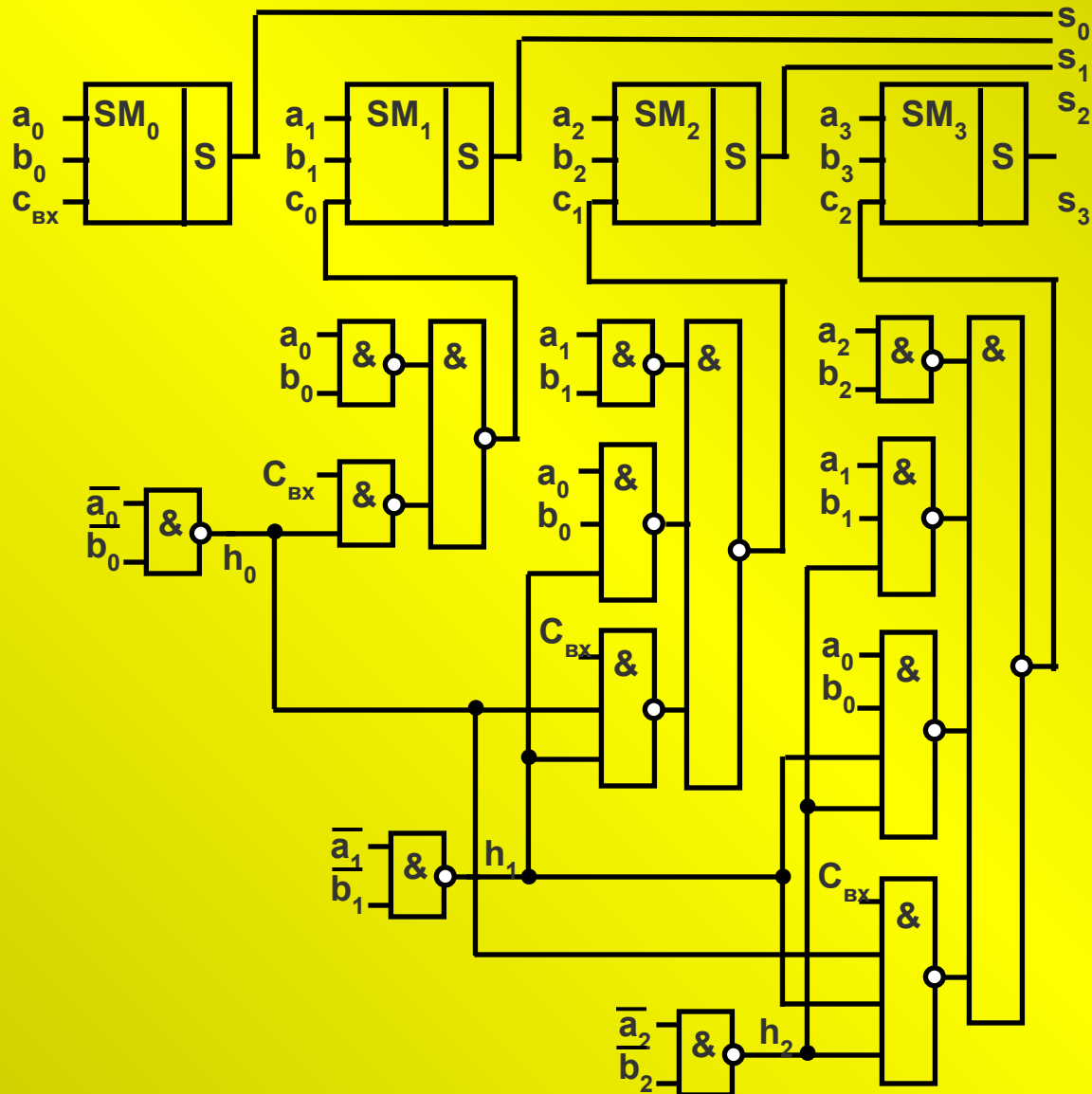
$$C_i = g_i \vee g_{i-1} h_i \vee g_{i-2} h_i h_{i-1} \vee \dots \vee g_0 h_i h_{i-1} \dots h_1 \vee C_{\text{ВХ}} h_i h_{i-1} \dots h_0 \quad (7)$$

Переходя в (4-6) к ЛЭ И-НЕ имеем $C_0 = \overline{g_0 \cdot C_{\text{ВХ}} h_0} = \overline{a_0 b_0 \cdot C_{\text{ВХ}} h_0} \quad (8)$

$$C_1 = \overline{a_1 b_1 \cdot a_0 b_0 h_1 \cdot C_{\text{ВХ}} h_0 h_1} \quad (9)$$

$$C_2 = \overline{a_2 b_2 \cdot a_1 b_1 h_2 \cdot a_0 b_0 h_2 h_1 \cdot C_{\text{ВХ}} h_2 h_1 h_0} \quad (10)$$

Схема четырехразрядного сумматора с параллельным переносом



Арифметическо-логические устройства (АЛУ)

АЛУ предназначены для выполнения арифметических и логических операций над двумя многоразрядными словами (операндами).

ИМС АЛУ К155ИПЗ

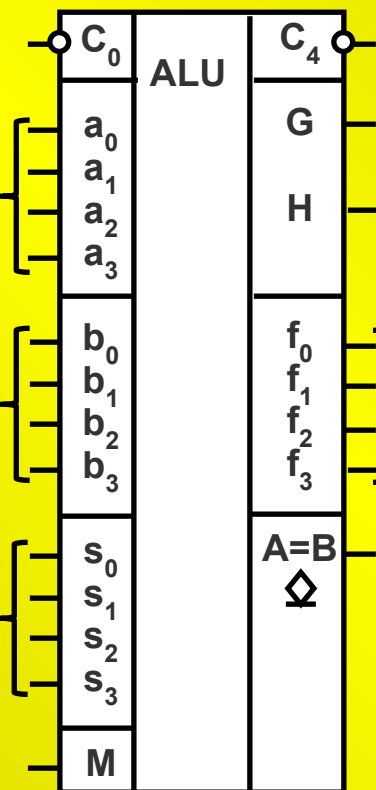
Вход для учёта сигналов переноса из младших разрядов

1-й операнд
 $A = \{a_3, a_2, a_1, a_0\}$

2-й операнд
 $B = \{b_3, b_2, b_1, b_0\}$

Выбор выполняемой операции (код упр.)
 $S = \{S_3, S_2, S_1, S_0\}$

Тип выполняемой операции:
 $M=1$ - логические;
 $M=0$ - арифметико-логические



Выход для учёта сигналов переноса в старшие разряды

функции G и H , для организации параллельных переносов

Результат операции
 $F = \{f_3, f_2, f_1, f_0\}$

Выход сравнения на равенство с открытым коллектором.

Возможности ИМС К155ИПЗ по выполнению арифметических и арифметико-логических операций

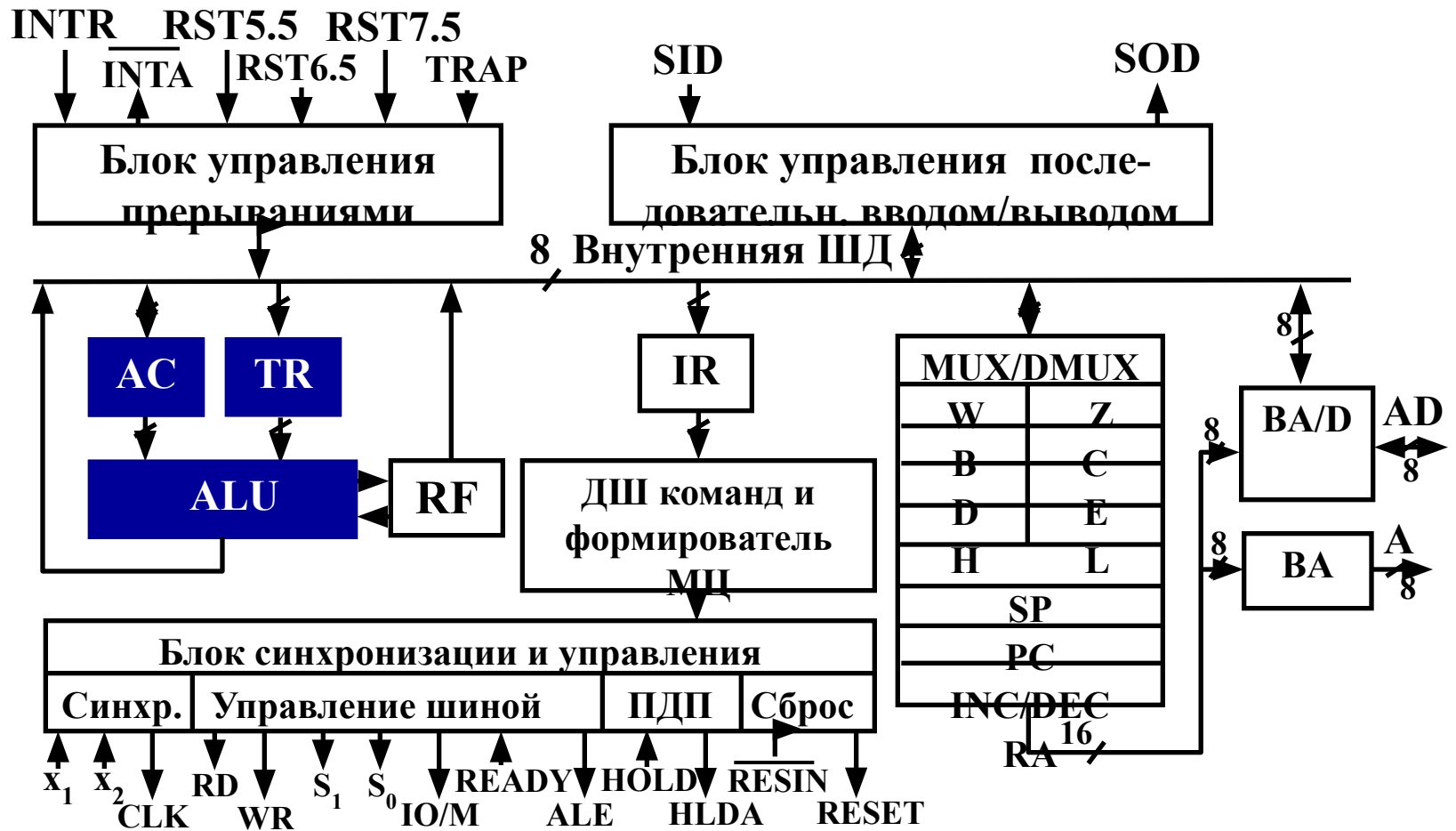
Таблица 1

S	Логические функции (M=1)	Арифметико-логические функции (M=0)
0000	\bar{A}	$A+C_0$
0001	$\overline{A \vee B}$	$\overline{(A \vee B) + C_0}$
0010	$\bar{A}B$	$(A \vee \bar{B}) + C_0$
0011	0	$1+C_0$
0100	\overline{AB}	$A + (\overline{AB}) + C_0$
0101	\bar{B}	$(A \vee B) + A\bar{B} + C_0$
0110	$A \oplus B$	$A + \bar{B} + C_0$
0111	$A\bar{B}$	$(\overline{AB}) + 1 + C_0$
1000	$\overline{A \vee B}$	$A + (AB) + C_0$
1001	$\overline{A \oplus B}$	$A + B + C_0$
1010	B	$(A \vee \bar{B}) + (AB) + C_0$
1011	AB	$(AB) + 1 + C_0$
1100	1	$A + A + C_0$
1101	$A \vee \bar{B}$	$(A \vee B) + A + C_0$
1110	$A \vee B$	$(A \vee \bar{B}) + A + C_0$
1111	A	$A + 1 + C_0$

При **арифметич. операциях** учитываются межразрядные переносы. Вх. перенос поступает при этом в младш. разряд выходного слова F.

Арифметико-логич. операции производятся поразрядно над парами бит операндов A и B. Например $F=AB = a_i * b_i$. Внутренний перенос (между разрядами сумматора) при этом отсутствует.

Применение АЛУ в составе простейшего микропроцессора



Выводы по вопросу

Сумматоры служат для арифметического сложения двоичных чисел. Многоразрядные сумматоры строятся на основе одnorазрядных. Наибольшим быстродействием обладают сумматоры с параллельным переносом, однако они имеют наиболее сложную схему.

Арифметико-логические устройства наряду с арифметическими операциями способны выполнять логические операции

4. Схемы контроля четности

Структура четвертого вопроса

Назначение



Сущность метода контроля по М2



Схема контроля четности свертки по М2



Пример применения схемы контроля четности



Выводы по вопросу

Схемы контроля чётности предназн. для проверки правильности передачи и хранения цифр. информации. Они, строятся на основе **метода контроля по модулю 2**.

Суть метода: каждое слово кода дополняется контрольным разрядом, значение которого подбирается так, чтобы сделать чётным (нечётным) *вес* каждой кодовой комбинации.

Значения контрольного разряда для 3-х разрядного кода при контроле по чётности ($\rho_{\text{ч}}$) и нечётности ($\rho_{\text{н}}$)

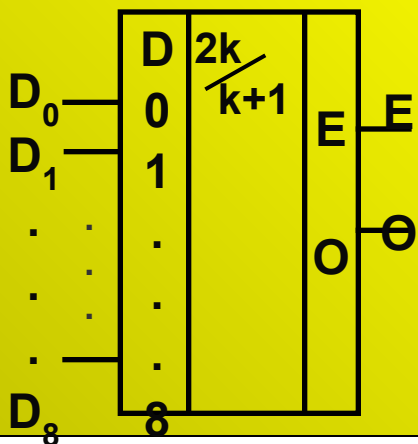
x_2	x_1	x_0	$\rho_{\text{ч}}$	$\rho_{\text{н}}$
0	0	0	0	1
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	0

$$\rho_{\text{ч}} = x_2 \oplus x_1 \oplus x_0 \quad \rho_{\text{н}} = \overline{x_2 \oplus x_1 \oplus x_0}$$

После передачи кодовой комбинации производится сложение её разрядов по модулю 2 (свёртка по модулю 2) и проверяется четность (нечётность) веса принятой комбинации. Если чётность (нечётность) веса комбинации изменилась - ошибка операции.

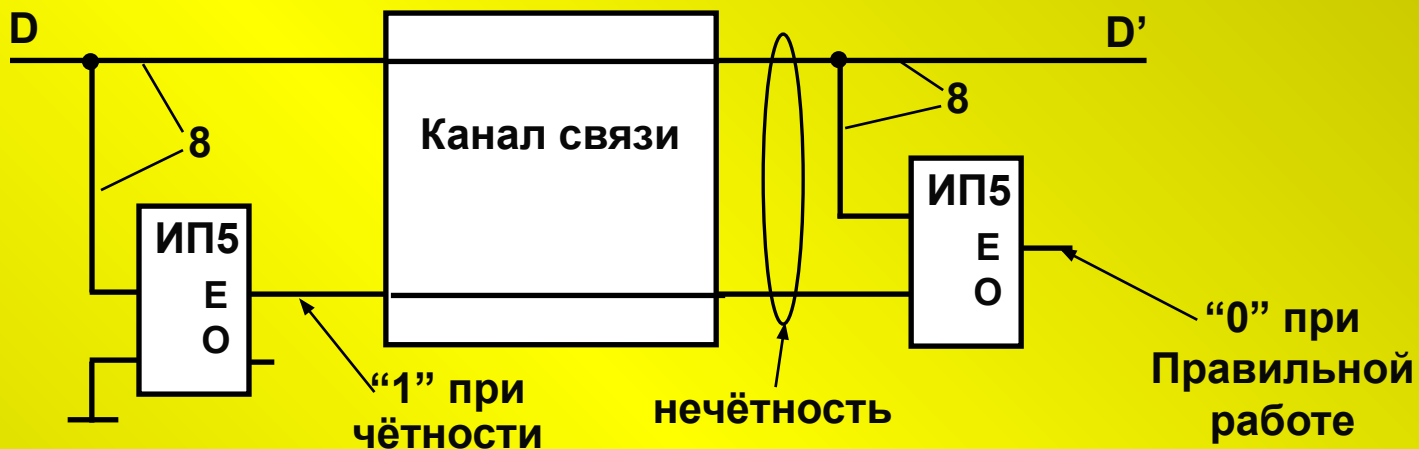
ИС КР1533ИП5 (схема свертки по модулю 2)

УГО:



ИС обесп. свёртку 1-го байта с контр. разрядом. Если вес вх. Кода чётный, то E(even-четность)=1 и O(odd-нечетность)=0. Если вес нечётный значения вых. сигналов изменяются на противоположные.

Применение микросхемы ИП5 в схеме контроля



Если в вых. коде есть единичная ошибка, его вес становится чётным. Свёртка кода выходной ИС ИП5 даст E=1 на её вых., т.е. фиксируется ошибка.

5. Методы расчета типовых комбинационных цифровых устройств

Структура пятого вопроса

Назначение



**Методика построения и расчета
устройства дешифрации кодов**



**Методика построения и расчета
коммутатора параллельных кодов**



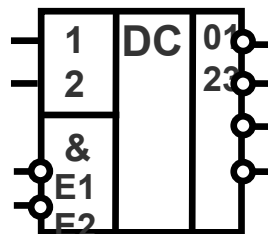
Выводы по вопросу

5.1. Методика построения и расчета многоступенчатого устройства дешифрации кодов

Постановка задачи: на заданных ИМС дешифраторов размерности $n \times m$ построить схему устройства дешифрации кодов размерности $N \times M$, опр. кол-во ИМС требуемых для ее построения (K), оценить энергопотребление (P) и

Пример: на ИМС 155ИД4 (дешифратор 2×4 , $n=2$, $m=4$), УГО которой представлено на рисунке построить схему устройства дешифрации кодов размерности 4×12 ($N=4$, $M=12$),

УГО ИМС 155ИД4:



Методика построения схемы

1. Определить кол-во ступеней устройства дешифрации - L

$$L = \left\lceil \frac{N}{n} \right\rceil, \quad L = \left\lceil \frac{4}{2} \right\rceil = 2.$$

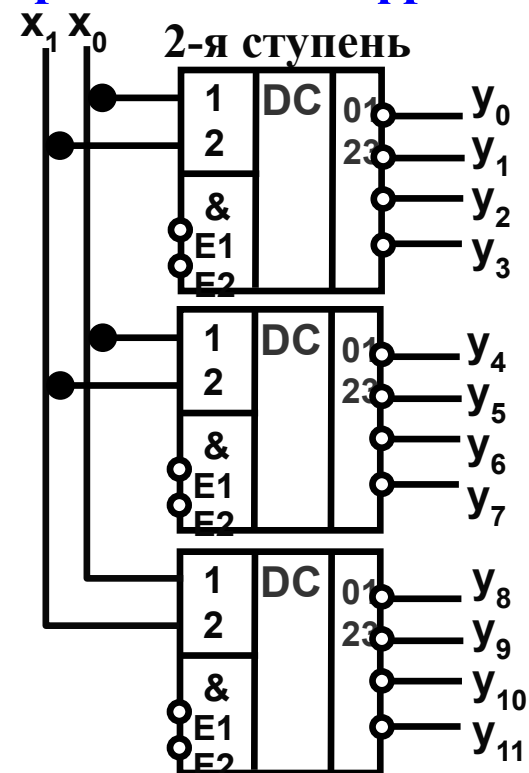
2. Определить кол-во ИМС ДШ в составе L-ой ступени - K_L

$$K_L = \left\lceil \frac{M}{m} \right\rceil, \quad K_2 = \left\lceil \frac{12}{4} \right\rceil = 3.$$

Схема устройства дешифрации 4x12

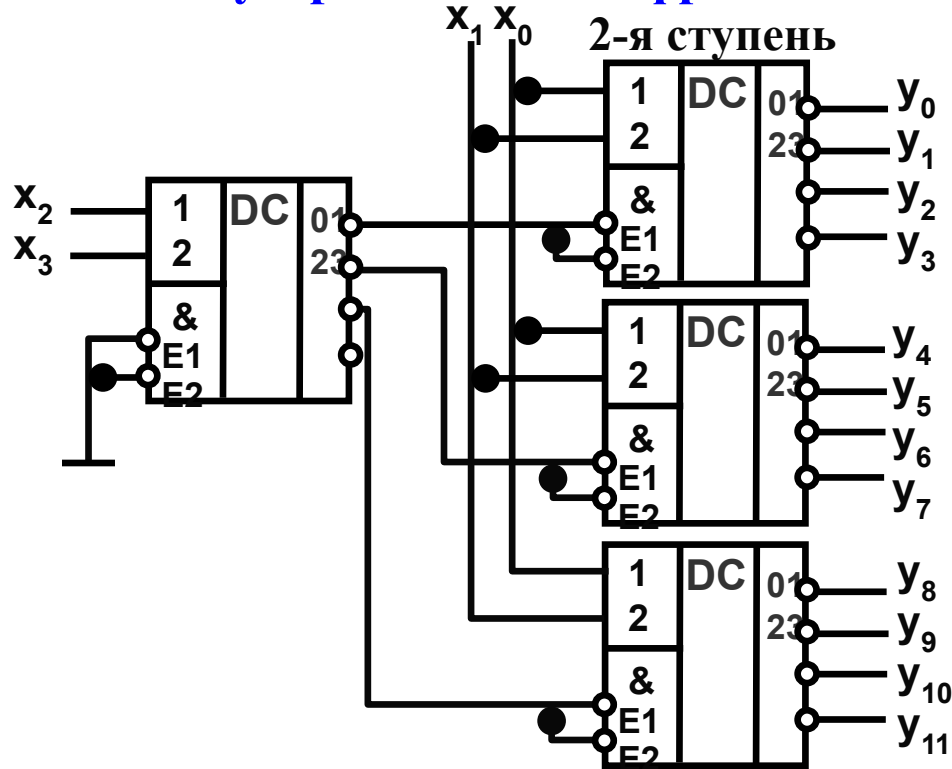
3. На инф. входы ИМС ДШ L-ой ступени подать n младших разрядов входного кода устр-ва дешифрации (x₁, ..., x_n)

На инф. входы ИМС ДШ 2-ой ступени подать 2 младших разряда вх. кода устр-ва дешифрации x₁, x₀.



Методика построения схемы (продолжение)

Схема устройства дешифрации 4x12



4. Определить количество ИМС ДШ в составе (L-1)-ой ступени – K_{L-1} .

$$K_{L-1} = \left\lceil \frac{K_L}{m} \right\rceil, K_1 = \left\lceil \frac{K_2}{m} \right\rceil = \left\lceil \frac{3}{4} \right\rceil = 1.$$

5. На инф. вх. ИМС ДШ (L-1)-ой ступени подать следующие n младших разрядов вх. кода устройства дешифрации ($x_{2n-1} \dots x_n$). Инф. выходы ДШ (L-1)-ой ступени подкл. к разрешающим входам ДШ L-ой ступени

На инф. вх. ИМС ДШ 1-ой ступени подать следующие 2 мл. разряда вх. кода - x_3, x_2 . Инф. выходы ДШ 1-ой ступени подкл. к разрешающим входам ДШ 2-ой ступени

6. Если $K_{L-1}=1$ схема построена. При K_{L-1} более 1 п.4...6 повторяются для (L-2)-ой и т.д. ступеней

7. Определить требуемое количество ИМС для построения устройства - К.

$$K = \sum_{i=1}^L K_i, \quad K = \sum_{i=1}^2 K_i = 4.$$

Расчет энергопотребления устройства

1. Определить мощность потребляемую одной ИМС дешифратора

$$P_1 = N \cdot P_{\text{пот.ср}}$$

N – число ЛЭ в одной ИМС (определяется по схеме или по уравнениям каналов);
 $P_{\text{ПОТР.СР}}$ – средняя мощность, потребляемая одним ЛЭ (задается справочно);

2. Определить общее энергопотребление устройства

$$P = K \cdot P_1.$$

Расчет быстродействия устройства

Быстродействие устройства определяется временем задержки передачи сигнала по одному каналу ($t_{зд}$).

1. Определить задержку передачи сигнала одной ИМС ДШ

$$t_{зд1} = k \cdot t_{зд.ср};$$

k - макс. кол-во ЛЭ, которые проходит сигнал при распространении от входа к выходу ИМС ДШ (структурная глубина схемы), определяемая по его структурной схеме;

$t_{зд.ср}$ – среднее время задержки одного ЛЭ (задается справочно);

2. Определить время задержки передачи сигнала по одному каналу ($t_{зд}$)

$$t_{зд} = L \cdot t_{зд1};$$

L – количество ступеней устройства.

5.2. Методика построения и расчета коммутатора параллельных кодов

Постановка задачи:

построить принципиальную схему коммутатора параллельных кодов, который в зависимости от значения управляющего кода (**A**) осуществляет передачу одного из **n** двоичных слов заданной разрядности (**m**) на выход.

Методика решения ^(Р) _(тзд)

1. Определить разрядность управляющего кода коммутатора

$$k = \lceil \log_2 n \rceil.$$

2. Выбрать из справочника ИМС мультиплексора не менее чем с **k** управляющими входами и не менее чем с **n** информационными каналами.

3. Определить требуемое кол-во ИМС мультиплексоров (**M**)

$$M = \left\lceil \frac{m}{l} \right\rceil, \quad l - \text{разрядность выбранной ИМС мультиплексора.}$$

4. Построить схему устройства, с учетом того, что каждый мультиплексор коммутирует на выход одноименные разряды разных входных слов.

5. Расчет энергопотребления и быстродействия аналогичен рассм. в п.5.1.

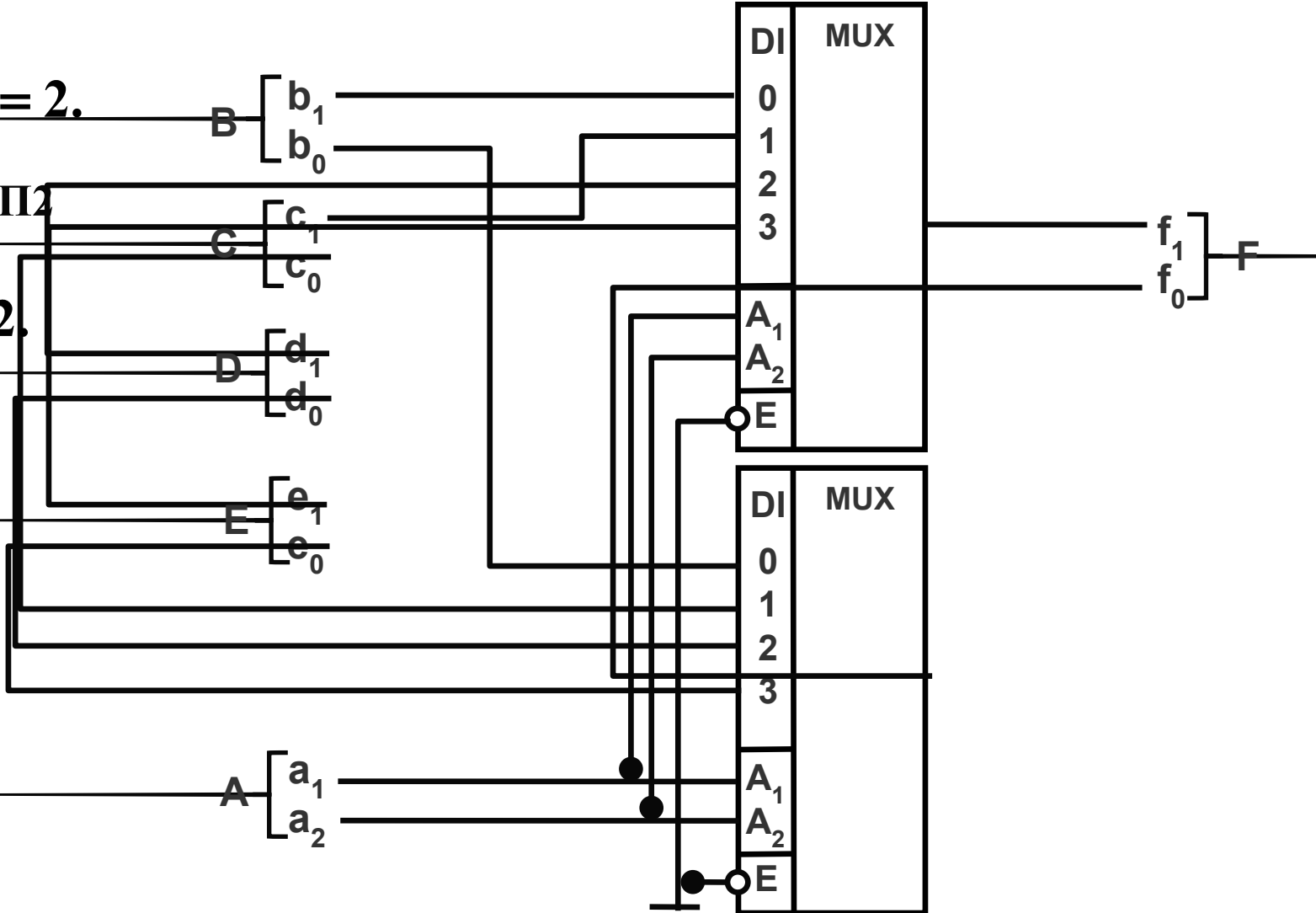
Пример: построить схему коммутатора параллельных кодов, который в зависимости от значения управляющего кода (A) передает одного из 4-х ($n=4$) 2-х разрядных ($m=2$) двоичных слов (B, C, D, E) на выход (F).

Схема четырехканального двухразрядного коммутатора

$k = \lceil \log_2 4 \rceil = 2.$

ИМС – 155КП2

$M = \frac{2}{1} = 2.$



Задание на самостоятельную работу

1. Отработать лекцию, используя:

эл.1/о м.2.2;

л.1/д с.44-55, 96-108;

л.2/д с.540-553, 621-626.

Основное внимание обратить на назначение и принцип функционирования рассмотренных цифровых узлов и устройств комбинационного типа.

2. Быть готовыми к практическому занятию № 2 на тему

«Анализ и расчет типовых комбинационных цифровых узлов ЭВМ».