

Quartus II - C:/altera/projects/test3/test3 - tes

File Edit View Project **Assignments** Processing Tools Window

Device...

Project Navigator

Entity	Combinator
Stratix II: AUTO	
test3	356 (17)

- Pin...
- Timing Analysis Settings...
- EDA Tool Settings...
- Settings... Ctrl+Shift+E
- Classic Timing Analyzer Wizard...
- Assignment Editor Ctrl+Shift+A
- Pin Planner Ctrl+Shift+N
- Remove Assignments...
- Demote Assignments...
- Back-Annotate Assignments...
- Import Assignments...
- Export Assignments...
- Assignment (Time) Groups...
- Timing Closure Floorplan
- LogicLock Regions Window Alt+L
- Design Partitions Window Alt+D

Hierarchy Files Design Units


Tasks

low: Compilation

Task

- Compile Design
- Analysis & Synthesis

Settings - test3



Category:

- General
- Files
- Libraries
- Device
- ⊕ Operating Settings and Conditions
- ⊕ Compilation Process Settings
- ⊕ EDA Tool Settings
- ⊕ Analysis & Synthesis Settings
- Filter Settings
- ⊕ Timing Analysis Settings
- Assembler
- Design Assistant
- SignalTap II Logic Analyzer
- Logic Analyzer Interface
- ⊕ Simulator Settings
- PowerPlay Power Analyzer Settings
- SSN Analyzer

Select the family and device you want to target for compilation.

Device family

Family: Cyclone

Devices: All

Show in 'Available devices' list

Package: Any

Pin count: Any

Speed grade: Any

Show advanced devices

HardCopy compatible only

Target device

Auto device selected by the Fitter

Specific device selected in 'Available devices' list

Other: n/a

Device and Pin Options...

Available devices:

Name	Core ...	LEs	Mem...	PLL
EP1C3T100C8	1.5V	2910	59904	1
EP1C3T100I7	1.5V	2910	59904	1
EP1C3T144A8	1.5V	2910	59904	1
EP1C3T144C6	1.5V	2910	59904	1
EP1C3T144C7	1.5V	2910	59904	1
EP1C3T144C8	1.5V	2910	59904	1
EP1C3T144I7	1.5V	2910	59904	1
EP1C4F324C6	1.5V	4000	78336	2
EP1C4F324C7	1.5V	4000	78336	2

Migration compatibility

Migration Devices...

0 migration devices selected

Companion device

HardCopy:

Limit DSP & RAM to HardCopy device resources

OK

Cancel

Device and Pin Options



Pin Placement | Error Detection CRC | Capacitive Loading | Board Trace Model | I/O Timing
General | Configuration | Programming Files | **Unused Pins** | Dual-Purpose Pins | Voltage

Specify device-wide options for reserving all unused pins on the device. To reserve individual dual-purpose configuration pins, go to the Dual-Purpose Pins tab. To reserve other pins individually, use the Assignment Editor.

Reserve all unused pins: As input tri-stated

Description:

Reserves all unused pins on the target device in one of 5 states: as inputs that are tri-stated, as outputs that drive ground, as outputs that drive an unspecified signal, as input tri-stated with bus-hold, or as input tri-stated with weak pull-up.

Reset

OK

Отмена

НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
ТОМСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

Схемотехника ЭВМ

Лекция №5

Синхронные статические двухступенчатые и динамические триггеры. Регистры. Регистровые файлы

Мальчуков Андрей Николаевич

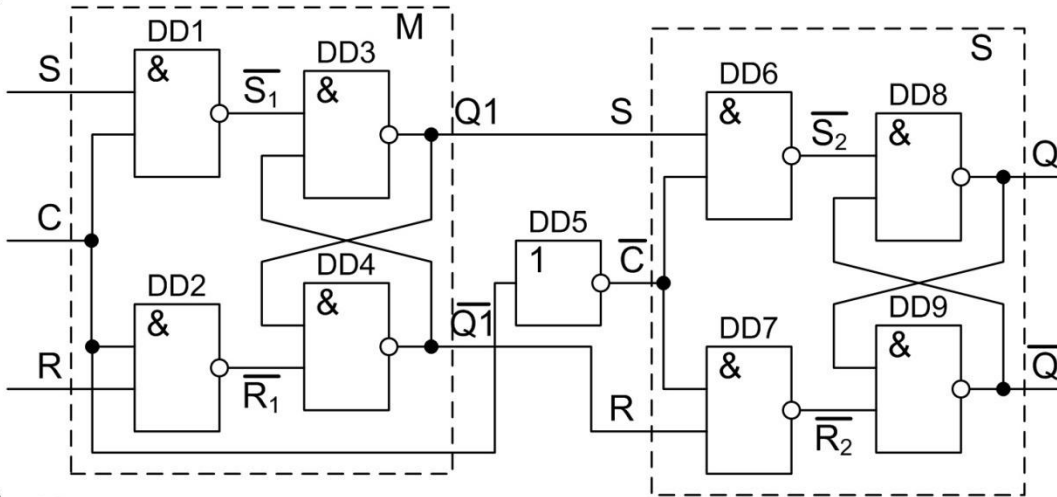
Томск – 2014

Двухступенчатые триггеры

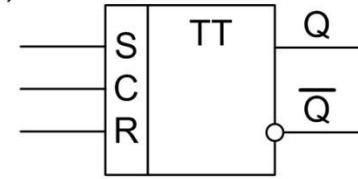
- Содержат две ячейки памяти, запись информации в которые происходит последовательно в разные моменты времени.
- Система «ведущий-ведомый» или MS-структура.
- Первая ступень М (Master – основная, ведущий) служит для промежуточной записи входной информации.
- Вторая – S (Slave – вспомогательная, ведомый) – для последующего запоминания и хранения.

Двухступенчатый триггер на ЛЭ И-НЕ

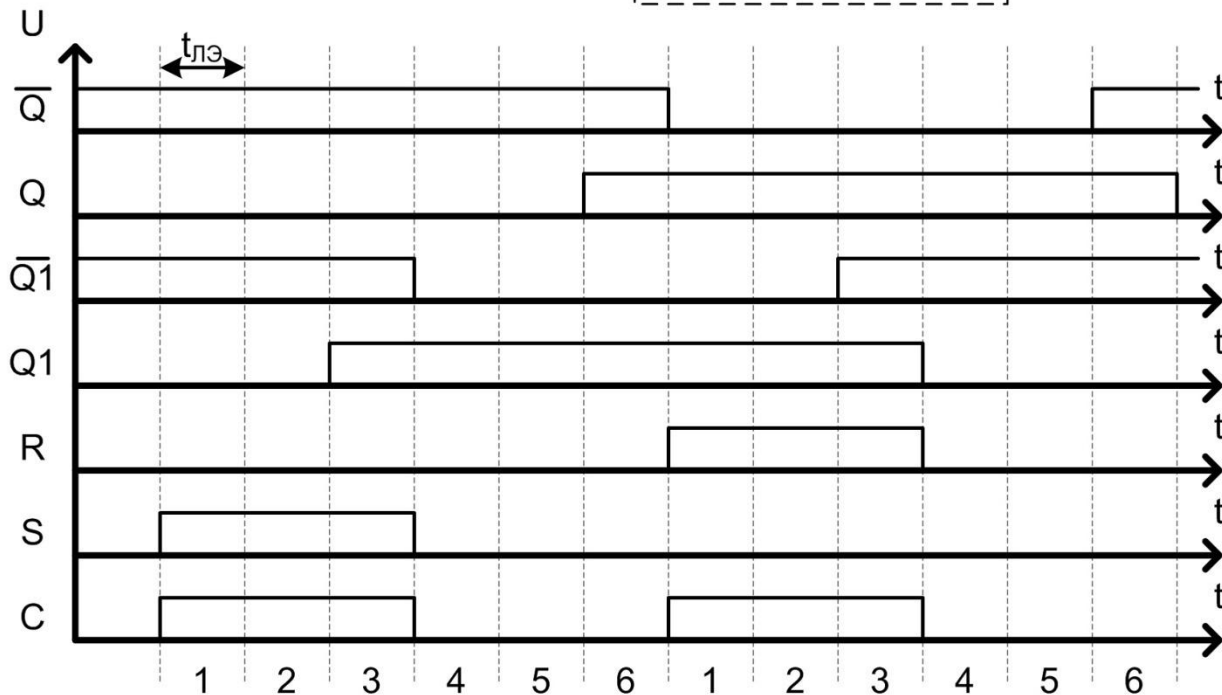
А)



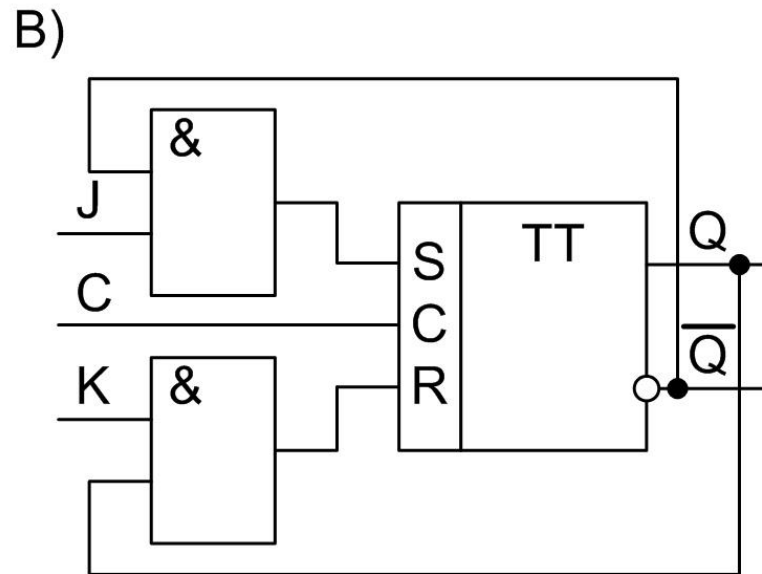
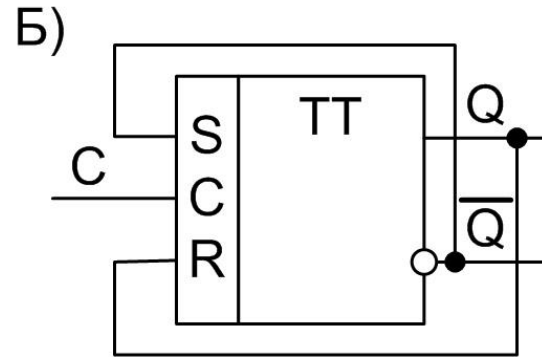
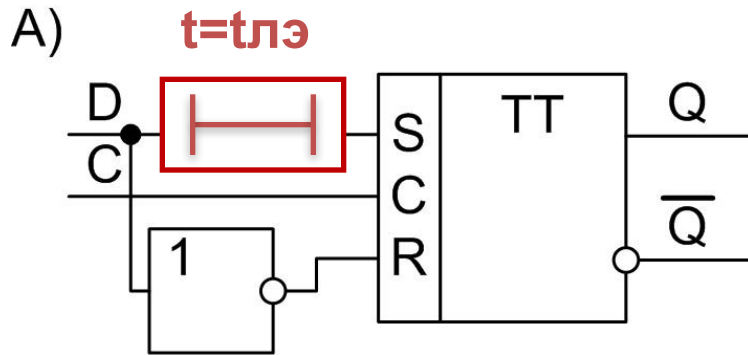
Б)



В)



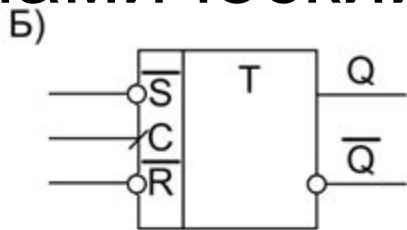
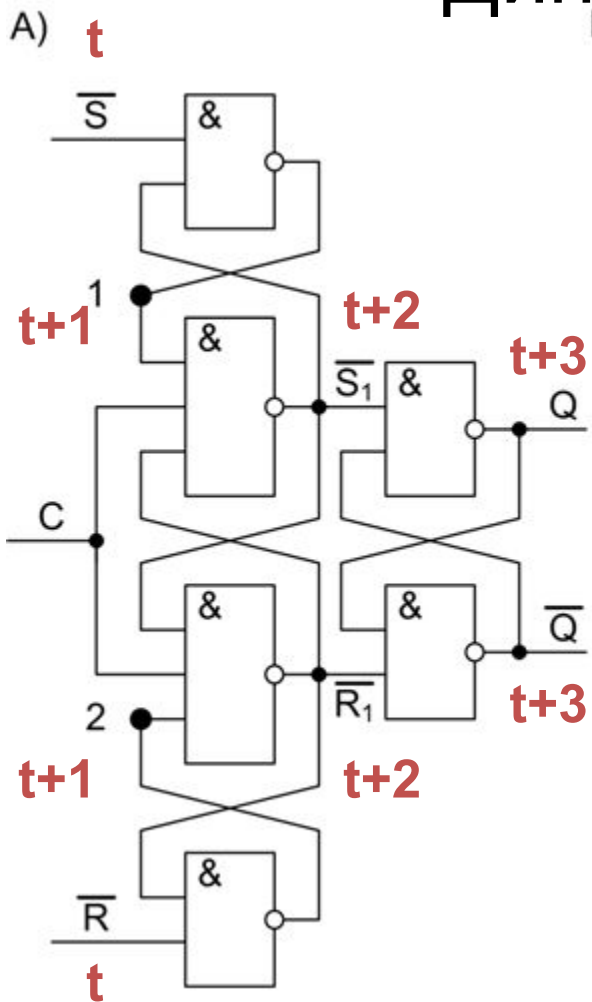
Двухступенчатые триггеры на основе RS



Триггеры с самоблокировкой (динамические)

- Для триггеров с динамическим управлением можно менять информационные сигналы при любом уровне синхросигнала без появления ошибки.
- В таких схемах тактовый сигнал активен на коротком промежутке времени в окрестностях нарастающего или спадающего фронта тактового импульса.
- В основном RS-триггер с динамическим управлением строится по схеме трёх триггеров.

Динамический RS-триггер

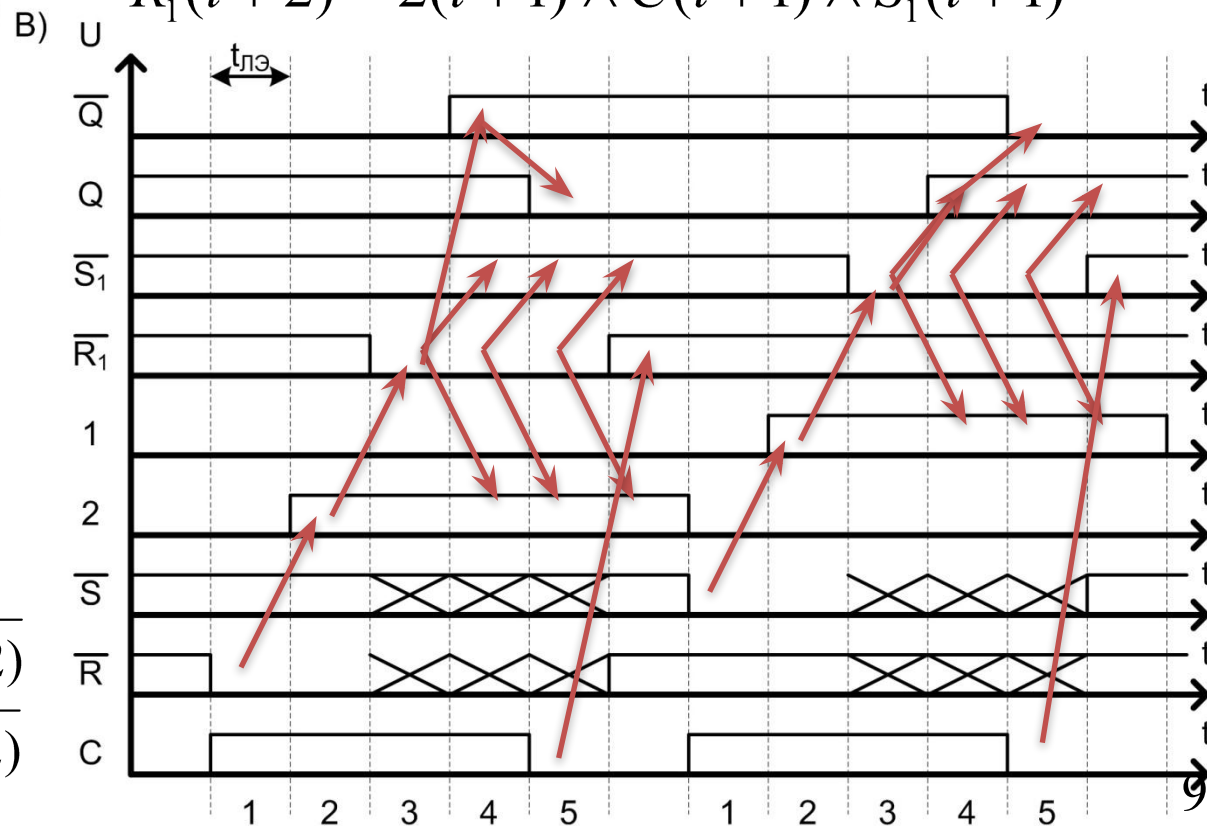


$$1(t+1) = \overline{\overline{S}(t) \wedge \overline{S_1}(t)}$$

$$2(t+1) = \overline{\overline{R}(t) \wedge \overline{R_1}(t)}$$

$$\overline{S_1}(t+2) = \overline{1(t+1) \wedge C(t+1) \wedge \overline{R_1}(t+1)}$$

$$\overline{R_1}(t+2) = \overline{2(t+1) \wedge C(t+1) \wedge \overline{S_1}(t+1)}$$



$$Q(t+3) = \overline{\overline{S_1}(t+2) \wedge \overline{Q}(t+2)}$$

$$\overline{Q}(t+3) = \overline{\overline{R_1}(t+2) \wedge Q(t+2)}$$

Регистры. Общие сведения

- **Регистры** – последовательностное устройство, предназначенное для записи, хранения и (или) сдвига данных, представленных в виде многоразрядного двоичного кода.

Микрооперации

- Установка регистра в нулевое состояние.
- Запись входных данных в последовательном коде.
- Запись входных данных в параллельном коде.
- Хранение данных.
- Сдвиг хранимого кодового слова вправо или влево.
- Выдача хранимых данных в последовательном коде.
- Выдача хранимых данных в параллельном коде.

Классификация

По способу приёма и выдачи информации

- Параллельные (статические) – приём и выдача данных производится по всем разрядам.
- Последовательные (сдвигающие) – данные записываются в последовательном коде разряд за разрядом; тактирующие сигналы перемещают слово в разрядной сетке.
- Параллельно-последовательные (универсальные) – имеют входы и выходы для приёма и выдачи данных, как последовательным, так и параллельным кодом.

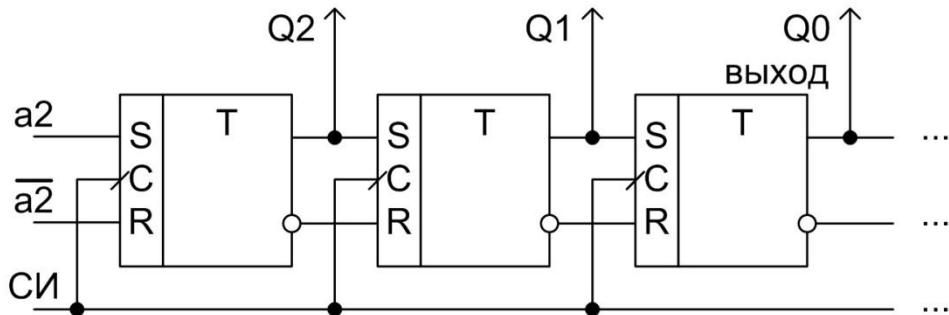
Классификация

По количеству каналов передачи данных

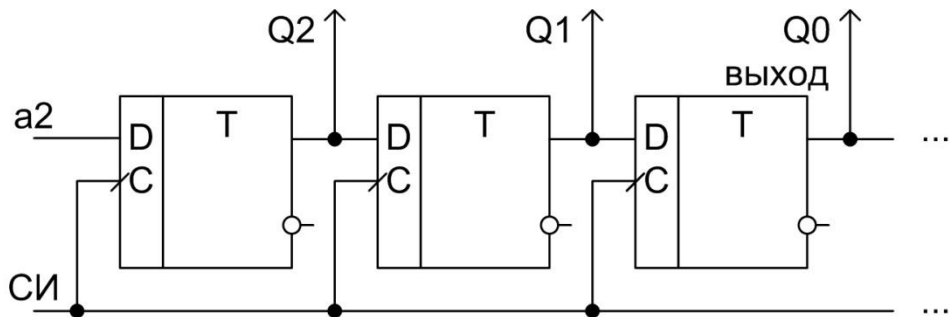
- Однофазные.
- Парафазные. В парафазном регистре данные передаются по двум каналам – в прямом и инверсном коде.

Последовательные сдвигающие регистры (DSR)

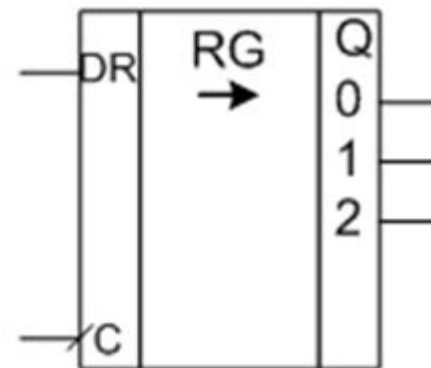
А)



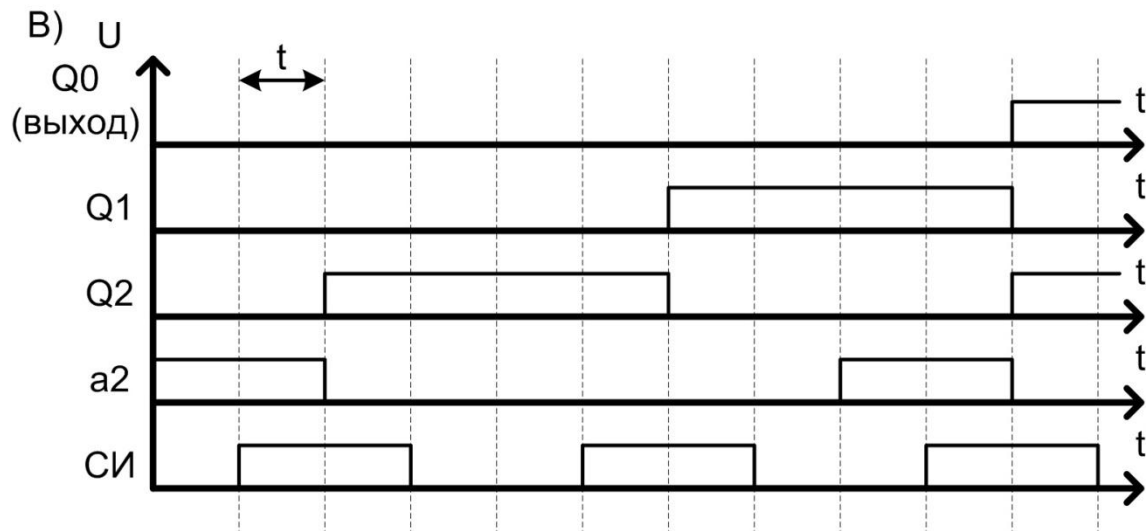
Б)



Г)

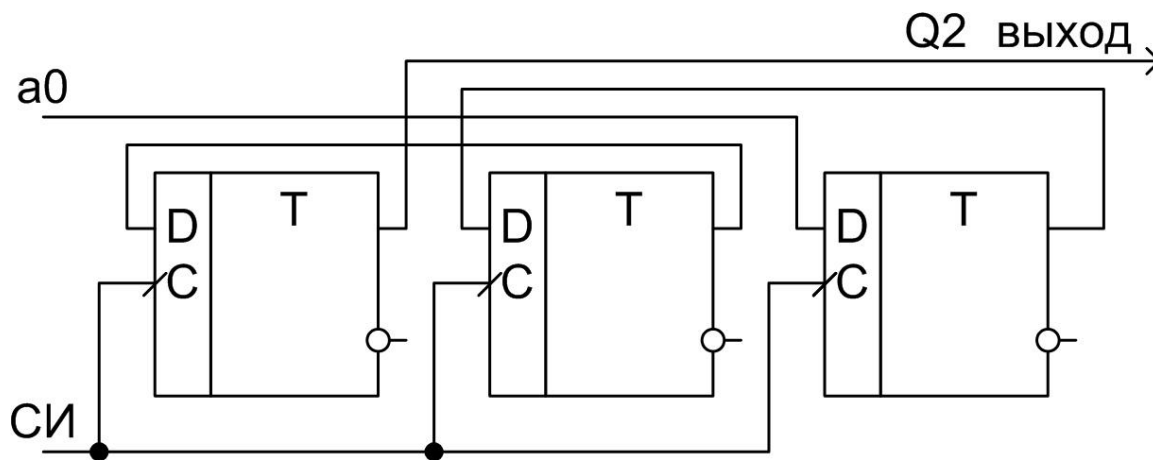


В)

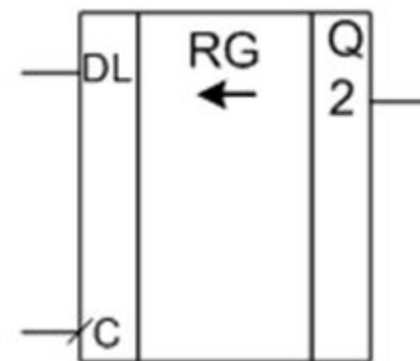


Последовательные сдвигающие регистры (DSL)

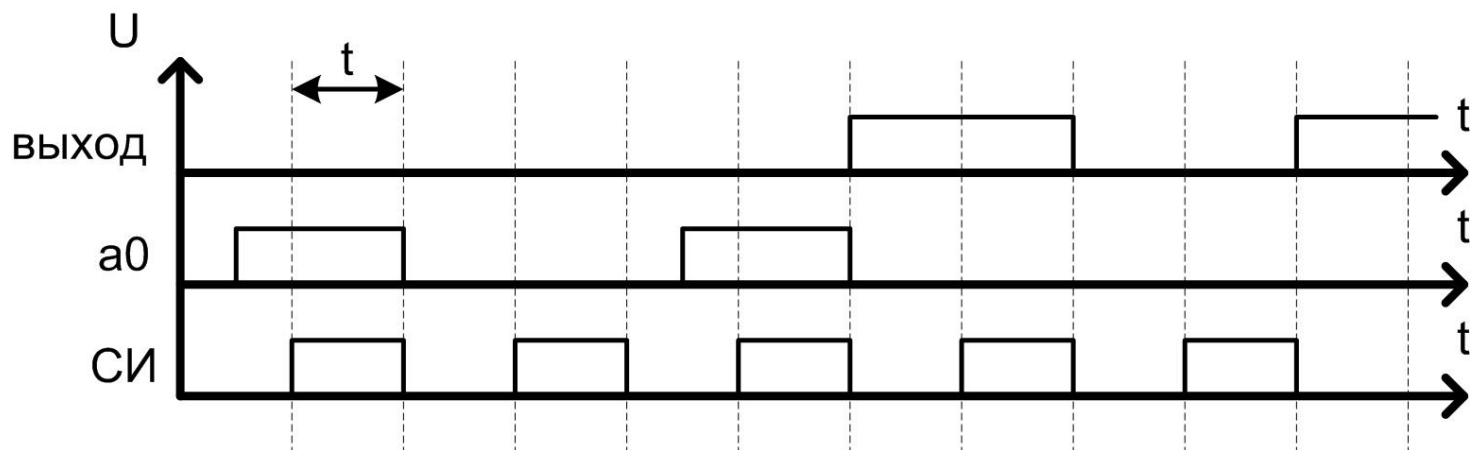
А)



Б)

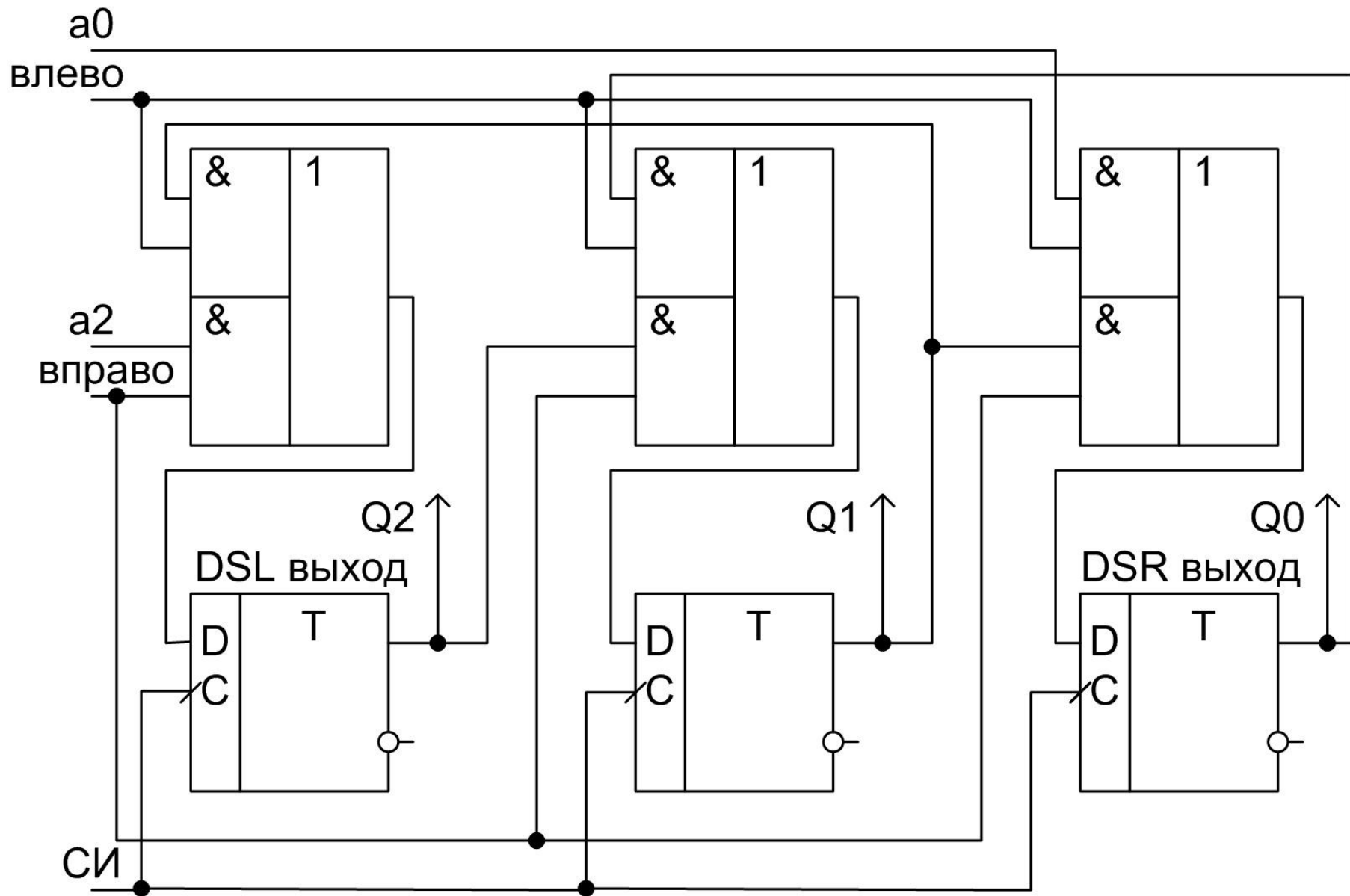


Б)

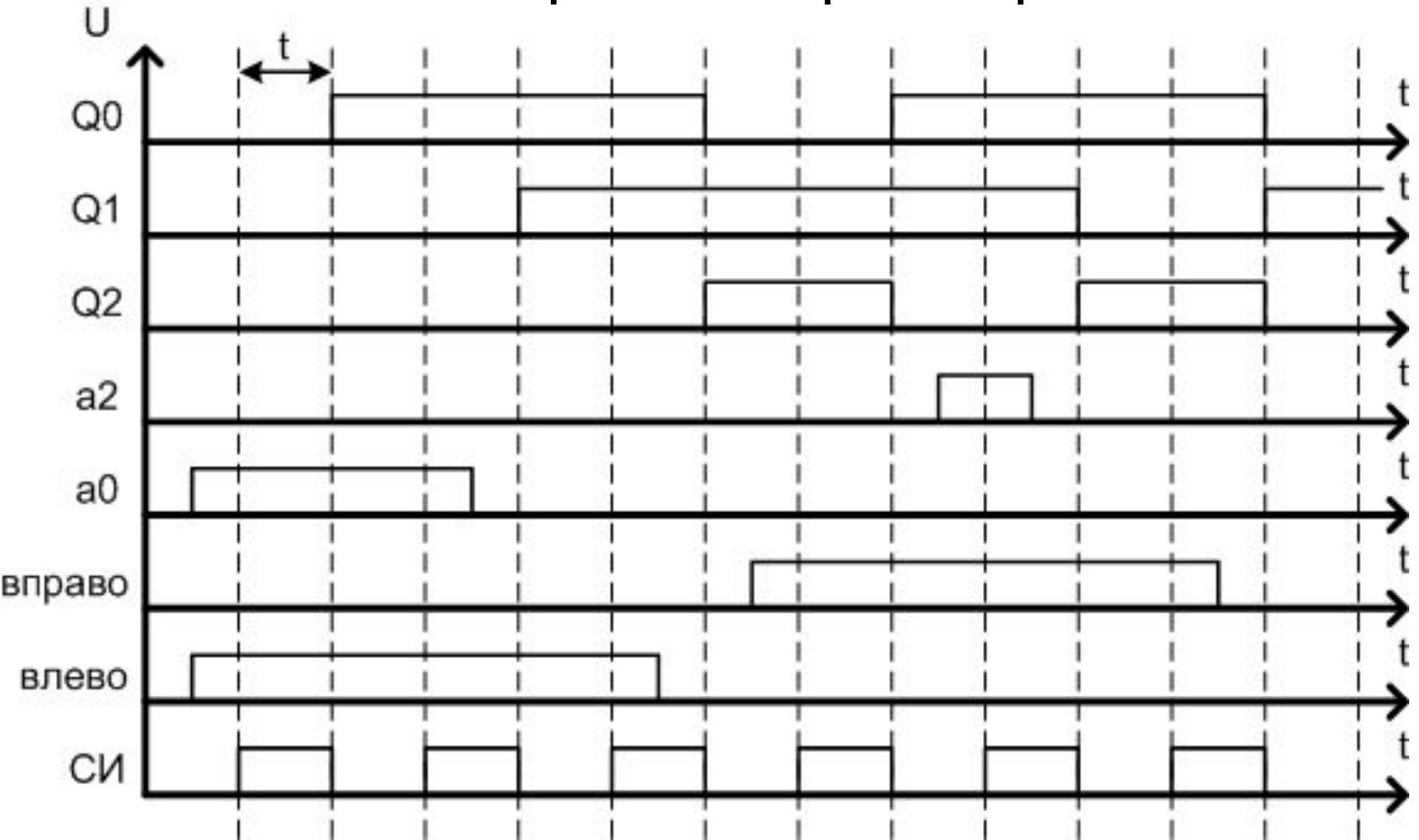


A)

Реверсивный регистр



Реверсивный регистр



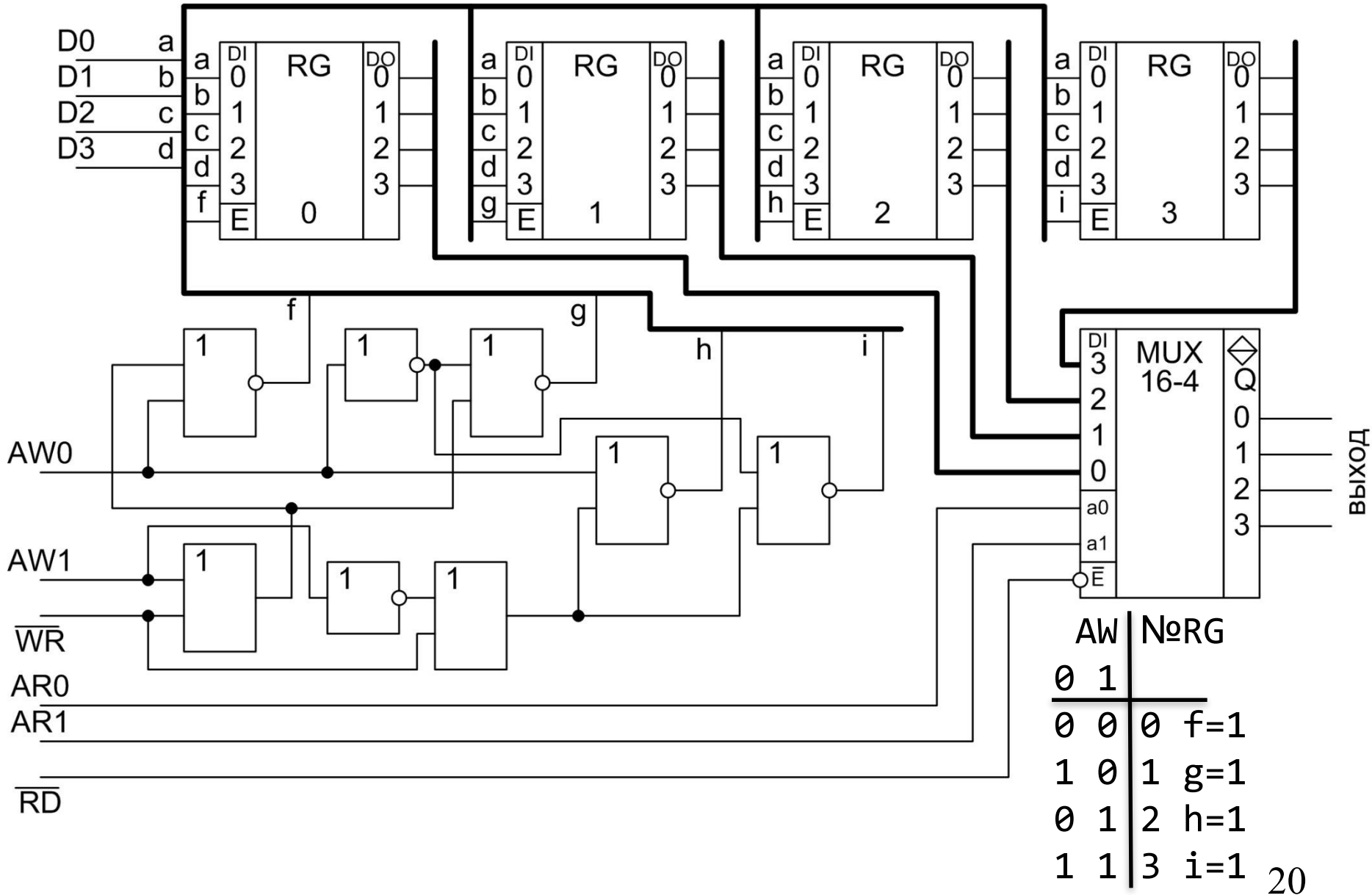
Реверсивный регистр

- Задание: нарисовать УГО реверсивного регистра (1 б).
Работу сдать не позднее следующей лекции на отдельном листе. Лист подписать: ФИО, номер группы.

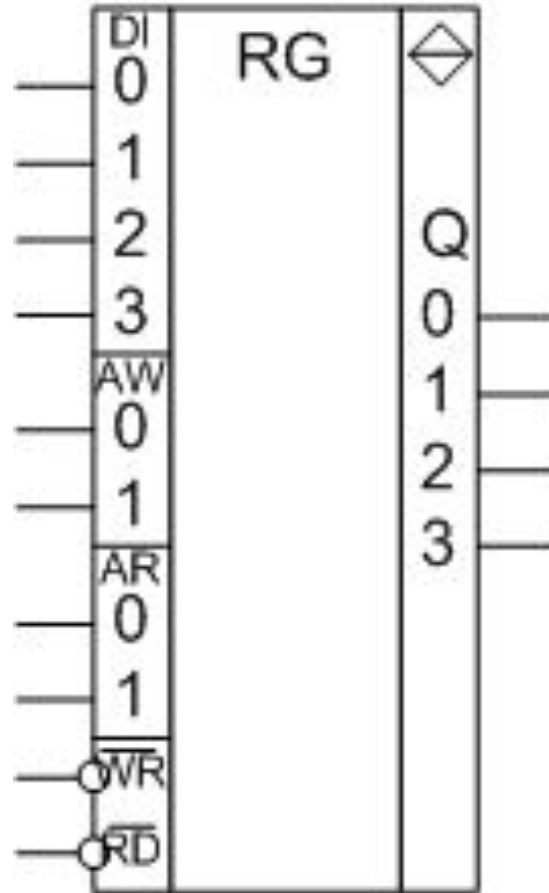
Регистровый файл

- ИС регистровых запоминающих устройств (ЗУ) входят в состав большинства серий, в том числе и микропроцессорные комплекты БИС в качестве регистров общего назначения (РОН) и многорежимных буферных регистров (МБР).
- ЗУ произвольного доступа, позволяет обращаться к любому регистру для записи или чтения данных. Они реализуются на параллельных регистрах.
- Регистровое ЗУ с последовательным доступом для обращения к нужной информации требует перебор адреса в сторону увеличения или уменьшения адресов.

A) Схема К1533ИР26



УГО К1533ИР26



НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
ТОМСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

Схемотехника ЭВМ

Лекция №5

Синхронные статические двухступенчатые и динамические триггеры. Регистры. Регистровые файлы

Мальчуков Андрей Николаевич

Томск – 2014