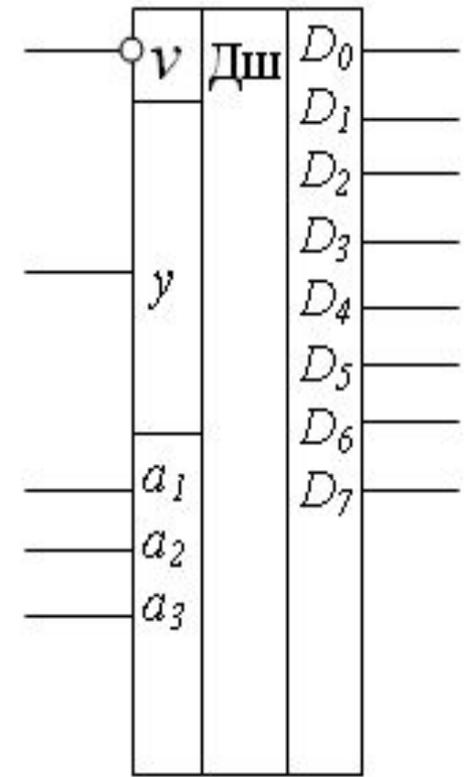
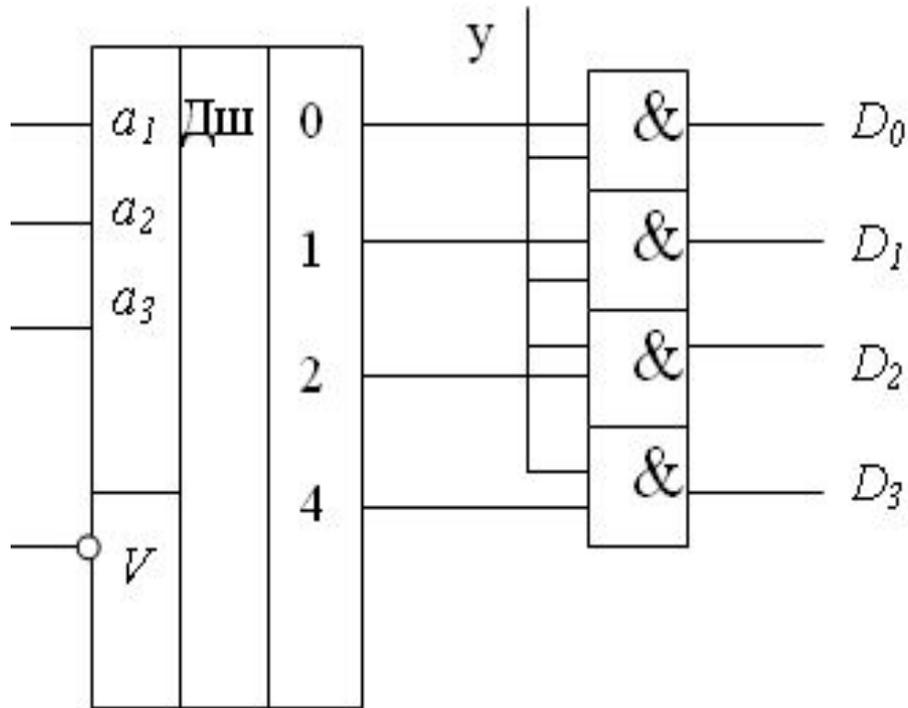


Схемотехника элементов с памятью

Демультимплексоры

Демультимплексоры – операционный элемент ЭВМ, осуществляющий микрооперацию передачи сигнала с одного входа на один из нескольких выходов.



Сумматоры

Сумматор – операционный узел ЭВМ, выполняющий арифметическое суммирование кодов чисел. Сумматор является одним из основных узлов арифметического устройства. Правила поразрядного сложения представлены в таблице:

a_i	b_i	S_i	C_{i+1}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

где a_i, b_i – одноименные разряды слагаемых

S_i – сумма

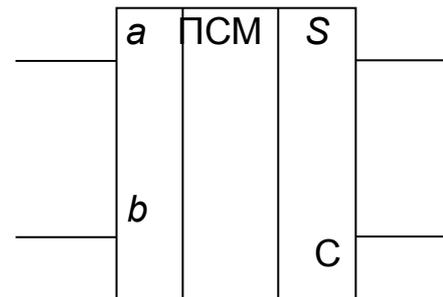
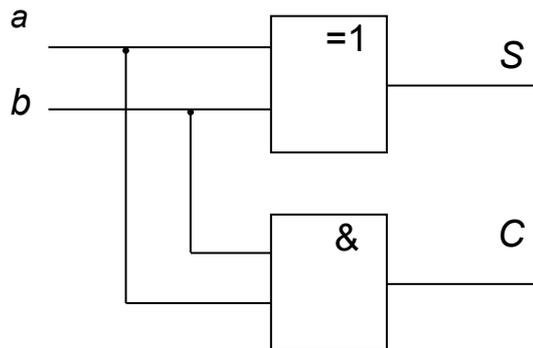
C_{i+1} – перенос в старший разряд

$$S_i = \bar{a}_i b_i + a_i \bar{b}_i = a_i \oplus b_i$$

$$C_{i+1} = a_i b_i$$

Уравнения для суммы и переноса имеют вид:

Схема, реализующая эти уравнения, называется полусумматором:



Полный двоичный одноразрядный сумматор должен учитывать перенос с младшего разряда. В этом случае таблица суммирования:

a_i	b_i	C_i	S_i	C_{i+1}
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

Логические уравнения имеют вид:

$$S_i = a_i \bar{b}_i \bar{c}_i + \bar{a}_i b_i \bar{c}_i + \bar{a}_i \bar{b}_i c_i + a_i b_i c_i$$

$$C_{i+1} = a_i b_i \bar{c}_i + a_i \bar{b}_i c_i + \bar{a}_i b_i c_i + a_i b_i c_i$$

Реализация полного сумматора возможна на базе полусумматоров:

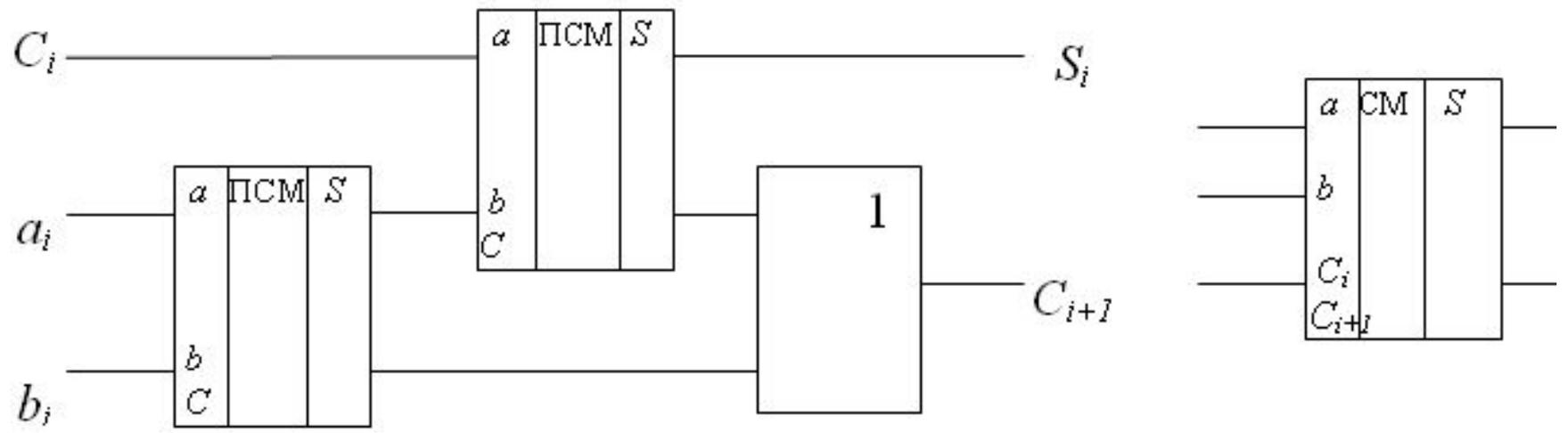
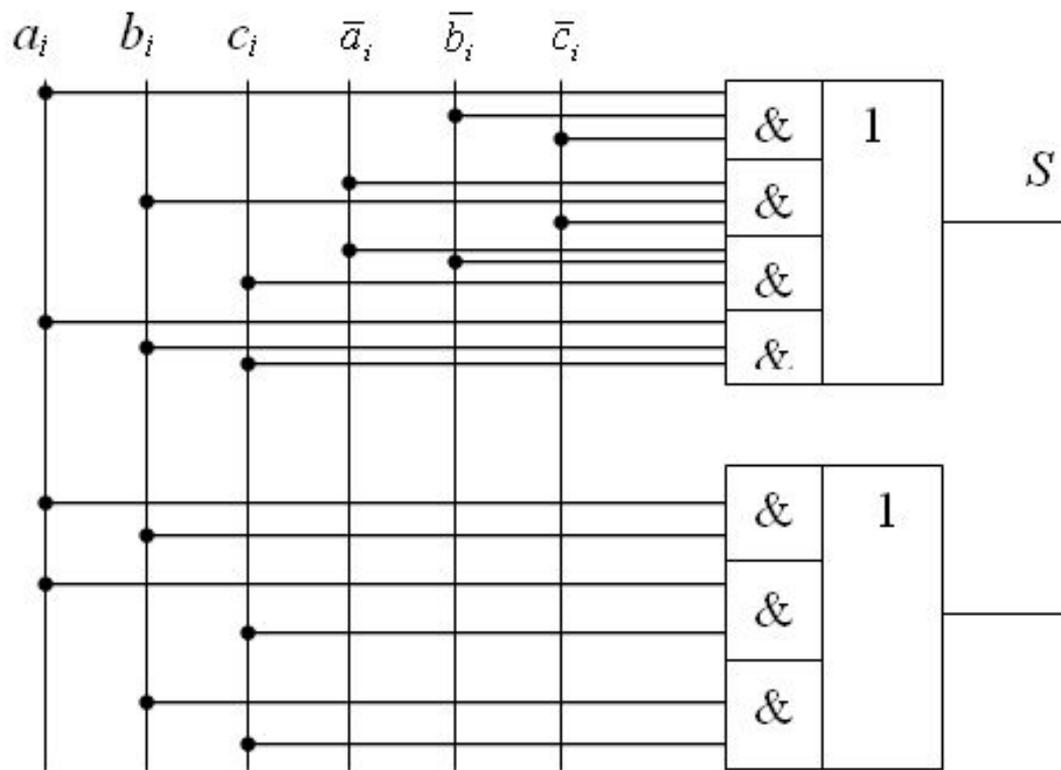


Схема на полусумматорах является избыточной, поэтому для практической реализации уравнения минимизируются и реализуются на выбранной элементной базе. Добавляя ко второму уравнению

$$C_{i+1} = \underline{a_i b_i \bar{c}_i} + a_i \bar{b}_i c_i + \underline{\bar{a}_i b_i c_i} + \underline{a_i b_i c} + a_i b_i c + \underline{\underline{a_i b_i c}} =$$

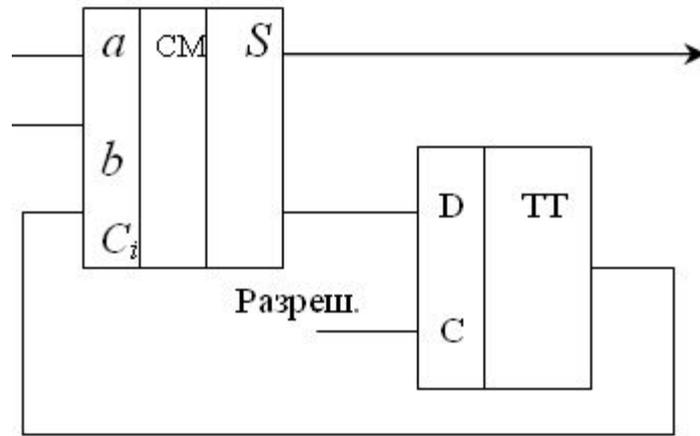
$$= a_i b_i (\bar{c}_i + c_i) + a_i c_i (\bar{b}_i + b_i) + b_i c_i (\bar{a}_i + a_i) = a_i b_i + a_i c_i + b_i c_i$$

Тогда схему сумматора можно представить



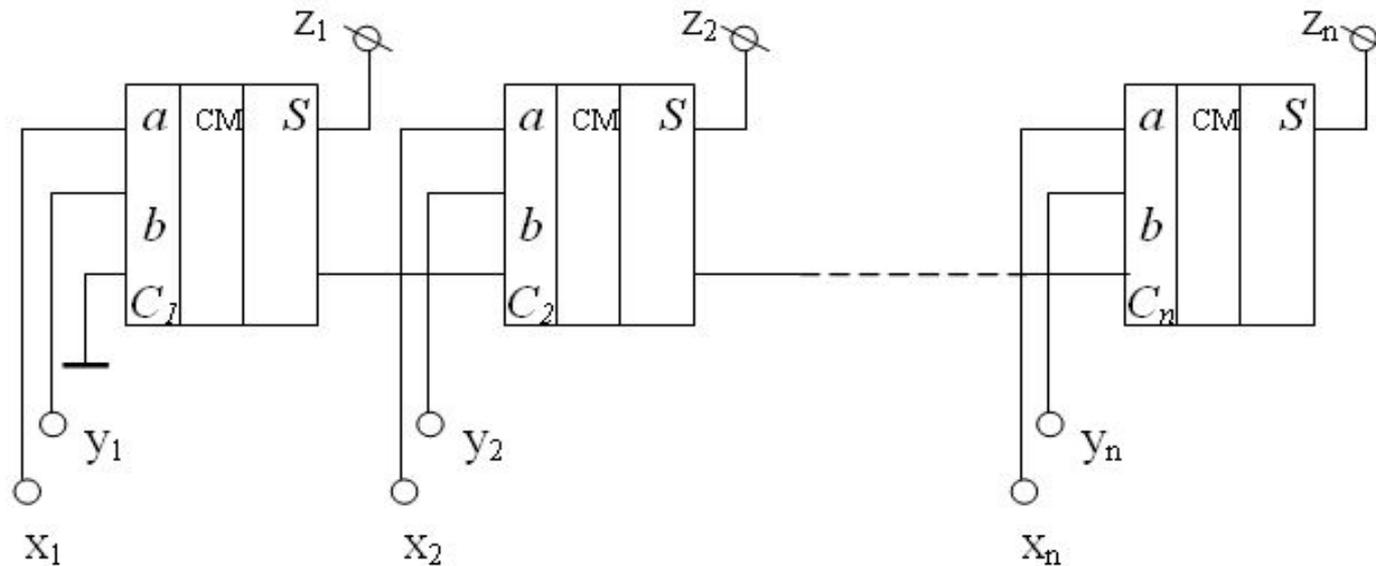
Рассмотренная схема сумматора может использоваться как для суммирования последовательных кодов, так и для параллельных.

Сложение чисел представленных последовательным кодом.



На входы a_i и b_i поступают одноименные разряды суммируемых кодов. На вход C_i из D-триггера перенос, сохраняемый из предыдущего такта.

При суммировании кодов, представленных параллельными кодами, разрядностью n , необходимо использовать n одноразрядных сумматоров:

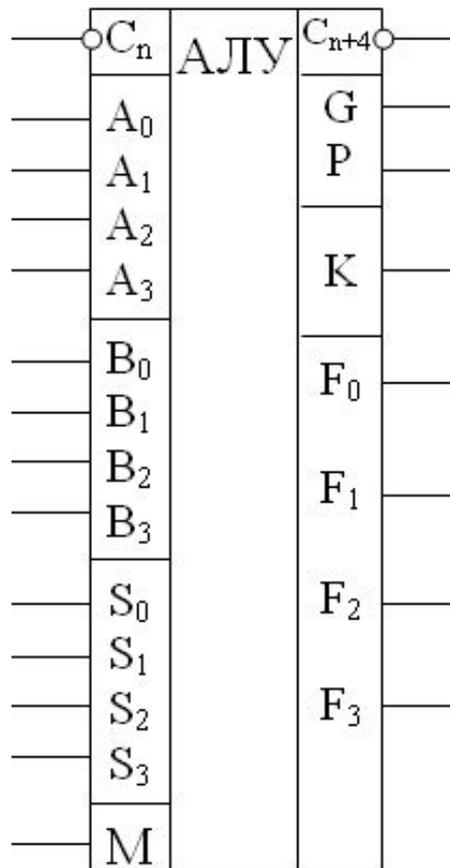


Арифметико-логические устройства

АЛУ – операционный узел ЭВМ, выполняющий арифметические и логические операции над двумя многоразрядными словами, в зависимости от управляющего слова.

АЛУ должно удовлетворять следующим требованиям:

- выполнять заданный набор операций;
- обеспечивать поразрядный перенос и возможность его блокирования;
- обеспечивать возможность наращивания разрядности обрабатываемых слов.



На рисунке приведено АЛУ типа К155ИПЗ

Назначение выводов:

$A_0...A_4$ – 4-х разрядное слова A;

$B_0...B_4$ – 4-х разрядное слова B;

$S_0...S_4$ – Управляющие входы под управлением которых выполняется одна из 16 операций;

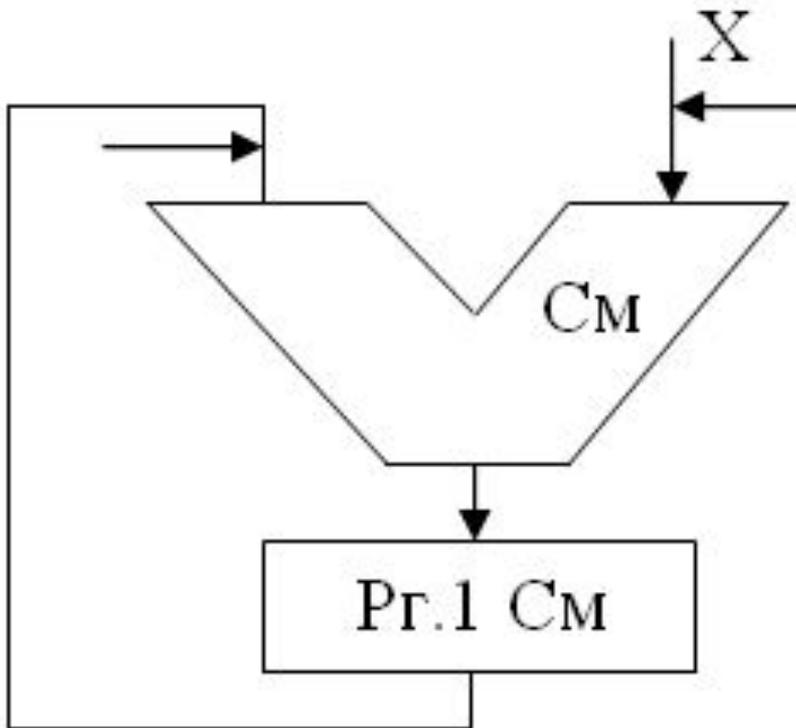
M – Вход модификатора операций. Позволяет произвести выбор между арифметическими и логическими операциями. Если $M = 1$, блок ускоренного переноса внутри микросхем блокируется, и перенос из одного разряда в другой отсутствует, т.е. выполняются логические операции;

Вход C_n является входом переноса из предыдущего разряда.

G , P , $Cn+4$ – выходы, предназначенные для организации ускоренного переноса между корпусами АЛУ.

АЛУ явились основой при разработке центральных процессорных элементов микропроцессорных комплектов.

Параллельные АЛУ комбинационного и накапливающего типа.



Особенностью накопительного сумматора является суммирование последовательно идущих операндов с накоплением в Рг.См суммы. Накопительный сумматор широко используется при построении центрального процессора микропроцессоров, при этом в Рг.См называется аккумулятором АК, а сумматор АЛУ.